

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-007252

(43)Date of publication of application : 12.01.2001

(51)Int.Cl.

H01L 23/12

H01L 21/60

H01L 23/28

(21)Application number : 11-180659

(71)Applicant : MATSUSHITA ELECTRONICS INDUSTRY CORP

(22)Date of filing : 25.06.1999

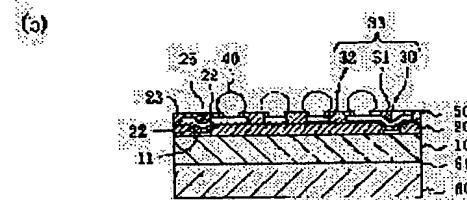
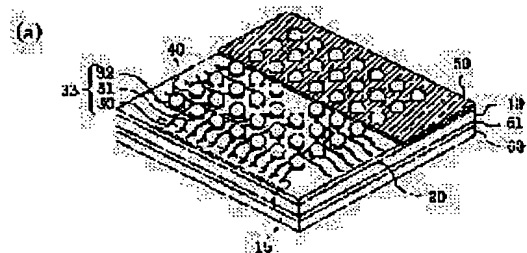
(72)Inventor : SAWARA RYUICHI
 KAINO NORIYUKI
 SHIMOISHIZAKA NOZOMI
 NAKAMURA YOSHIFUMI
 KUMAKAWA TAKAHIRO
 YAMAGISHI MASARU
 WATASE KAZUMI

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device which is superior in reliability, whose high density mounting is possible and which is superior in heat radiation property.

SOLUTION: A semiconductor device is provided with a semiconductor substrate 10 having an element electrode 11 on a main face, a plate 60 connected to the rear face of the semiconductor substrate 10, an insulating layer 20 formed on the main face of the semiconductor substrate 10, and a metallic wiring layer 33 formed on the insulating layer 20. The metallic wiring layer 33 is formed over the insulating layer 20 from above the element electrode 11 exposed to an opening part 25 formed in the insulating layer 20, and a part of the metallic wiring layer 33 functions as an outer electrode 32.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

* NOTICES *

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.*** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The semi-conductor substrate with which the semiconductor device is arranged, and the plate joined to the rear face of said semi-conductor substrate, The component electrode which is arranged on the principal plane of said semi-conductor substrate, and is electrically connected to said semiconductor device, The insulating layer formed on the principal plane of said semi-conductor substrate, and opening formed in said insulating layer so that said component electrode might be exposed at least, The semiconductor device equipped with the metal wiring layer continued and formed on said insulating layer from on said component electrode exposed to said opening, and the external electrode for being formed as said a part of metal wiring layer, and performing electrical installation with an external instrument.

[Claim 2] It is the semiconductor device which said plate has the top face where area is bigger than the rear face of said semi-conductor substrate, and the rear face of said semi-conductor substrate is joined to said top face in the semiconductor device according to claim 1, and is characterized by continuing and forming said insulating layer in the top face of said plate from on the principal plane of said semi-conductor substrate.

[Claim 3] It is the semiconductor device characterized by forming said external electrode among said insulating layers in a semiconductor device according to claim 2 on the field except the part on the principal plane of said semi-conductor substrate.

[Claim 4] It is the semiconductor device which said plate has conductivity and is characterized by connecting electrically said a part of metal wiring layer [at least] with said plate in the semiconductor device of any one publication among claims 1-3.

[Claim 5] The semiconductor device characterized by the include angle formed of the side face of said opening and the top face of said insulating layer being an obtuse angle in the semiconductor device of any one publication among claims 1-4.

[Claim 6] It is the semiconductor device characterized by the cross-section configuration of said opening being a configuration by which the acute-angle part was beveled in the semiconductor device of any one publication among claims 1-4.

[Claim 7] It is the semiconductor device with which said metal wiring layer is characterized by the part moving in a zigzag direction once [at least] in a semiconductor device any one of claims 1-6.

[Claim 8] It is the semiconductor device characterized by to have formed said insulating layer on said insulating layer so that said metal wiring layer might be covered, to have equipped it with the protective coat which has the property which crawls a conductive ingredient in the semiconductor device of any one publication among claims 1-7, to have equipped said protective coat with opening to which said some of external electrodes [at least] are exposed, and to equip with at least one external electrode terminal said external electrode exposed in said opening.

[Claim 9] It is the semiconductor device characterized by being constituted with the metal ball prepared so that said external electrode terminal might touch said external electrode in a semiconductor device according to claim 8.

[Claim 10] It is the semiconductor device characterized by being constituted by the conductive projection prepared so that said external electrode terminal might touch said external electrode in a semiconductor device according to claim 8.

[Claim 11] The semiconductor device with which said some of external electrodes [at least] exposed in said opening are characterized by functioning as said external electrode terminal in a semiconductor device according to claim 8.

[Claim 12] It is the semiconductor device which said semi-conductor substrate equips the field except the field in which said component electrode is located among the principal plane with the passivation film for protecting a semi-conductor substrate in the semiconductor device of any one publication among claims 1-11, and is characterized by forming said insulating layer on said passivation film.

[Claim 13] The 1st process which carries on a plate the semi-conductor substrate which has the component electrode electrically connected to a semiconductor device and said semiconductor device, The 2nd process which forms an insulating layer on said plate so that said semi-conductor substrate may be covered, The 3rd process which forms opening to which the part located on said component electrode among said insulating layers is removed alternatively, and said component electrode is exposed, The manufacture approach of a semiconductor device equipped with the 4th process which forms a metal wiring layer with the part which functions as an external electrode for continuing on said insulating layer from on said component electrode exposed to said opening, and performing electrical installation with an external instrument.

[Claim 14] It is the manufacture approach of the semiconductor device characterized by having further the process which said 1-4th processes are performed in the manufacture approach of a semiconductor device according to claim 13 using the semi-conductor substrate of a wafer condition, and is separated from the semi-conductor substrate of said wafer condition for every semiconductor chip after said 4th process.

[Claim 15] It is the manufacture approach of the semiconductor device characterized by performing the process separated from the semi-conductor substrate of a wafer condition for every semiconductor chip before said 1st process in the manufacture approach of a semiconductor device according to claim 13, and performing said 1-4th processes using said

semiconductor chip.

[Claim 16] It is the manufacture approach of the semiconductor device characterized by said 3rd process forming said opening so that the include angle formed of the side face of said opening and the top face of said insulating layer may serve as an obtuse angle in the manufacture approach of the semiconductor device any one publication among claims 13-15.

[Claim 17] It is the manufacture approach of the semiconductor device characterized by said 4th process forming said metal wiring layer so that said a part of metal wiring layer may be made to move in a zigzag direction once [at least] in the manufacture approach of the semiconductor device any one publication among claims 13-16.

[Claim 18] In the manufacture approach of a semiconductor device according to claim 13 to 17 said 3rd process By removing partially the field located on said plate among said insulating layers Said 4th process is the manufacture approach of the semiconductor device characterized by including further the process which continues on said insulating layer from on said plate exposed to said opening, and forms said metal wiring layer, including further the process which forms opening to which said some of plates [at least] are exposed.

[Claim 19] It is the manufacture approach of the semiconductor device characterized by said 4th process including further the process which forms the protective coat which protects said metal wiring layer on an insulating layer so that the field except the field in which said external electrode is located among said metal wiring layers after forming said metal wiring layer may be covered in the manufacture approach of the semiconductor device any one publication among claims 13-18.

[Claim 20] It is the manufacture approach of the semiconductor device characterized by equipping said 4th process with the process which carries the metal ball which functions as an external electrode terminal on said external electrode after forming said metal wiring layer further in the manufacture approach of the semiconductor device any one publication among claims 13-19.

[Claim 21] The manufacture approach of the semiconductor device characterized by having arranged the inspection board which has a connectable terminal electrically in said external electrode after said 4th process to said external electrode, and having further the process which inspects said semiconductor device in the manufacture approach of the semiconductor device any one publication among claims 13-20.

[Translation done.]

* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.*** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to a semiconductor device and its manufacture approach. The semiconductor integrated circuit section especially used for information communication equipment, the electronic equipment for office work, etc. is built in, and it has connection wiring with an external terminal etc. further, and is related with the semiconductor device in which high density assembly is possible, and its manufacture approach.

[0002]

[Description of the Prior Art] In recent years, properties, such as a miniaturization, densification, and a raise in heat dissipation, are demanded of the semiconductor device which contained the semiconductor integrated circuit section with the miniaturization of electronic equipment, and advanced features. The semiconductor device using a package called T-BGA (tape ball grid array) using a TAB tape is developed in order to meet this demand.

[0003] Hereafter, the conventional semiconductor device using T-BGA is explained, referring to drawing 10. This semiconductor device is indicated by JP,9-302376.A.

[0004] Drawing 10 shows the cross section of the conventional semiconductor device which used T-BGA. This semiconductor device is having structure equipped with the semiconductor chip 101 which contains a semiconductor device, the flexibility sheet-like wiring circuit sheet 102, and the metal plate 107. The semiconductor chip 101 and the wiring circuit sheet 102 are stuck on the metal plate 107 through the adhesion sheet 103.

[0005] The component electrode 105 electrically connected with the semiconductor device is formed in the principal plane of a semiconductor chip 101. The circuit pattern is formed in the interior of the wiring circuit sheet 102, and the electrode 108 connected to the circuit pattern is formed in the front face of the wiring sheet 102. From the electrode 108, the partial lead 104 is extended and the partial lead 104 is electrically connected with the component electrode 105.

[0006] The solder ball 109 is laid in the electrode 108. An electrode 108 is electrically connectable in an external instrument through the solder ball 109. In order to protect a semiconductor chip 101 and the partial lead 101, the perimeter of a semiconductor chip 101 is covered by closure resin 106.

[0007] Next, the manufacture approach of the conventional semiconductor device is explained. First, the partial lead 104 of the wiring circuit sheet 102 is connected to the component electrode 105 of a semiconductor chip 101. This connection is made by the thermocompression bonding usually used by the "TAB" (tape automated bonding) activity, or the ultrasonic-bonding technique.

[0008] Next, after applying closure resin 106 so that a semiconductor chip 101 and the partial lead 104 may be covered, closure resin 106 is stiffened. Subsequently, a semiconductor chip 101 and the wiring circuit sheet 102 are joined to the metal plate 107 through the adhesion sheet 103. Then, after carrying the solder ball 109 in an electrode 108, fused junction of the solder ball 109 is carried out. The conventional semiconductor device is manufactured according to such a process.

[0009] In the above-mentioned conventional semiconductor device, since the electrode 108 of a large number formed two-dimensional on the wiring circuit sheet 102 is electrically connectable with an external electrode through the solder ball 109, it becomes possible to attain the miniaturization of information communication equipment, the electronic equipment for office work, etc. Furthermore, by having the metal plate 107, the surface smoothness of an electrode 108 can be maintained and the heat dissipation nature of a semiconductor chip 101 can be raised.

[0010]

[Problem(s) to be Solved by the Invention] However, there is a problem that a manufacturing cost is high in the above-mentioned conventional semiconductor device. The reason is that it causes increase of a manufacture man day since it is necessary to produce the wiring circuit sheet 102 beforehand. Moreover, wiring circuit sheet 102 the very thing is expensive, and it is because it is necessary to arrange a highly efficient mouter (loading facility) joining the wiring circuit sheet 102 on the metal plate 107 so, and facility cost becomes high further.

[0011] Moreover, the problem of being difficult has also connected the partial lead 104 and the component electrode 105. This is because the width of face and thickness of the partial lead 104 become small when connecting detailed wiring, so the configuration of the partial lead 104 stops stabilizing. It will originate in the difficulty of connection, a manufacturing cost will increase, and the dependability of the semiconductor device after connection will fall further.

[0012] This invention is made in view of these many points, the main purpose is excellent in dependability, high density assembly is possible, and it is in offering the low semiconductor device and its manufacture approach of a manufacturing cost.

[0013]

[Means for Solving the Problem] The semi-conductor substrate with which, as for the semiconductor device of this invention, the semiconductor device is arranged, The plate joined to the rear face of said semi-conductor substrate, and the component electrode which is arranged on the principal plane of said semi-conductor substrate, and is electrically

connected to said semiconductor device. The insulating layer formed on the principal plane of said semi-conductor substrate, and opening formed in said insulating layer so that said component electrode might be exposed at least, It was formed as a part of metal wiring layer continued and formed on said insulating layer from on said component electrode, and said metal wiring layer, and has the external electrode for performing electrical installation with an external instrument.

[0014] In the semiconductor device of this invention, the metal wiring layer connected with a component electrode prepares in one also including an external electrode, and serves as structure which can be formed by carrying out patterning of the metal membrane which is that of ***** and was deposited on the insulating layer. Therefore, the facility for doing a junction activity with the wiring circuit sheet used with the above-mentioned conventional semiconductor device and a wiring circuit sheet, and a component electrode is unnecessary.

[0015] Moreover, since the semiconductor device of this invention has the structure which can form a metal wiring layer and an external electrode on a semi-conductor substrate after arranging a semi-conductor substrate in a plate beforehand, the process which joins a wiring circuit sheet to a plate is unnecessary, and it is not necessary to use a loading facility of the high performance which has a high alignment precision.

[0016] Even if it faces manufacture, the process which connects the partial lead and component electrode in the production process of the conventional semiconductor device by thermocompression bonding becomes unnecessary. Therefore, it becomes possible to avoid reduction of a manufacturing facility or a manufacture man day, and the difficulty of connection, and reduction of a manufacturing cost can be aimed at.

[0017] Furthermore, if said insulating layer is formed using a low elastic-modulus ingredient (an elastic modulus is two or less [2000kg //mm]), since the external electrode of a metal wiring layer is formed on the insulating layer, the stress added to the connection of a wiring substrate and a semiconductor device according to the coefficient-of-thermal-expansion difference of a wiring substrate and a semiconductor device after mounting to a wiring substrate (mother board) is absorbed by the elasticity of an insulating layer. That is, the high semiconductor device of the relaxation function of stress is realizable.

[0018] Since it becomes the structure which can form a metal wiring layer even if a semi-conductor substrate continues being in a wafer condition, a production process can be simplified. Said semi-conductor substrate in said semiconductor device may be in the chip condition which gave up even if it was in the wafer condition, and was started from the wafer.

[0019] In said semiconductor device, said plate has the top face where area is bigger than the rear face of said semi-conductor substrate, and the rear face of said semi-conductor substrate is joined to said top face, and said insulating layer may be continued and formed in the top face of said plate from on the principal plane of said semi-conductor substrate.

[0020] In said semiconductor device, said external electrode may be formed among said insulating layers on the field except the part on the principal plane of said semi-conductor substrate. Moreover, said plate has conductivity and said a part of metal wiring layer [at least] may be electrically connected with said plate.

[0021] As for the include angle formed of the side face of said opening, and the top face of said insulating layer, in said semiconductor device, it is desirable that it is an obtuse angle. Or as for the cross-section configuration of said opening, it is desirable that it is the configuration by which the acute-angle part was beveled. Moreover, it is desirable that it is the configuration in which some metal wiring moves in a zigzag direction once [at least].

[0022] Since it is avoidable that big stress is concentrated and impressed to a part of metal wiring layer by these either, an open circuit of a metal wiring layer etc. can be prevented and the dependability of a semiconductor device improves.

[0023] In said semiconductor device, it is desirable opening to which it is formed so that said metal wiring layer may be covered, and the protective coat which has the property which crawls a conductive ingredient, and said protective coat are penetrated, and said some of external electrodes [at least] of said metal wiring layer are exposed, and to have at least one external electrode terminal further on said external electrode.

[0024] While this maintains normal connection relation without the electric short circuit between the wiring electrode on a wiring substrate, and a metal wiring layer etc., the good semiconductor device of the mounting nature to a wiring substrate top is realizable.

[0025] The metal ball prepared so that said external electrode might be touched may constitute said external electrode terminal in said semiconductor device, and the conductive projection prepared so that said external electrode might be touched may constitute it. Moreover, said some of exposed external electrodes [at least] can also be operated as said external electrode terminal.

[0026] In said semiconductor device, on said semi-conductor substrate, opening of the upper part of said component electrode is carried out, and it is formed, and the passivation film for protecting a semiconductor device can be prepared further, and said insulating layer can be formed on said passivation film. Thereby, the semiconductor device superior to that of dependability is realizable.

[0027] The 1st process which carries on a plate the semi-conductor substrate which has the component electrode by which the manufacture approach of the semiconductor device by this invention is electrically connected to a semiconductor device and said semiconductor device, The 2nd process which forms an insulating layer on said plate so that said semi-conductor substrate may be covered, The 3rd process which forms opening to which the field located above said component electrode among said insulating layers is removed alternatively, and said component electrode is exposed, It continued on said insulating layer from on said component electrode exposed to said opening, and has the 4th process which forms a metal wiring layer with the part which functions as an external electrode for performing electrical installation with an external instrument.

[0028] Since the metal wiring layer connected with a component electrode can be formed in one by this approach also including an external electrode, it becomes possible to form a metal wiring layer by carrying out patterning of the metal membrane deposited on the insulating layer. Therefore, the facility for doing a junction activity with the wiring circuit sheet used with the above-mentioned conventional semiconductor device and a wiring circuit sheet, and a component electrode is unnecessary.

[0029] Moreover, since according to this manufacture approach a metal wiring layer and an external electrode can be

formed on a semi-conductor substrate after arranging a semi-conductor substrate in a plate beforehand, the process which joins a wiring circuit sheet to a plate is unnecessary, and it is not necessary to use a loading facility of the high performance which has a high alignment precision.

[0030] Even if it faces manufacture, the process which connects the partial lead and component electrode in the production process of the conventional semiconductor device by thermocompression bonding etc. becomes unnecessary. Therefore, reduction of a manufacturing facility or a manufacture man day can be aimed at.

[0031] Moreover, since a component electrode and a metal wiring layer are electrically connectable only by forming a metal wiring layer on a component electrode, the difficulty at the time of connecting a partial lead and a component electrode is not produced like the conventional semiconductor device. Therefore, a manufacturing cost can be reduced while being able to simplify the production process of a semiconductor device.

[0032] In the manufacture approach of said semiconductor device, it is desirable to add further the process which performs said 1st [the] - the 4th process using a semi-conductor substrate with a wafer, and separates said wafer for every semiconductor chip after said 4th process.

[0033] Since the insulating-layer metallurgy group wiring layer in many chip fields etc. is formed by this approach with the wafer before separating into a chip, a manufacturing cost can be reduced sharply.

[0034] In the manufacture approach of said semiconductor device, it may have further the process which separates a wafer for every semiconductor chip before said 1st process, and said 1st [the] - the 4th process may be performed using the semi-conductor substrate of a chip condition.

[0035] In the manufacture approach of said semiconductor device, it is desirable to make it the include angle formed of the side face of said opening and the top face of said insulating layer serve as an obtuse angle at said 3rd process. Moreover, said a part of metal wiring layer may be made to form at said 4th process, in the manufacture approach of said semiconductor device, so that it may move in a zigzag direction once [at least].

[0036] By this approach, the semiconductor device which was excellent in dependability with few open circuits etc. can be manufactured.

[0037] In the manufacture approach of said semiconductor device, it is desirable to form opening which removed said elastic layer partially at said 3rd process, so that said some of plates may be exposed at least among said insulating layers, to cover said insulating layer from said plate exposed to said opening, and to form said metal wiring layer.

[0038] Since a plate is electrically connected with metal wiring through a metal wiring layer by this approach, heat dissipation nature is good and can manufacture the semiconductor device which was excellent in electromagnetic shielding nature.

[0039] In the manufacture approach of said semiconductor device, it is desirable to have the process which forms a wrap protective coat for said metal wiring layer except said some of external electrodes [at least] after said 4th process.

[0040] By this approach, the semiconductor device which can make easily and quickly connection between the external electrode of a semiconductor device and wiring of a wiring substrate using connection members, such as solder, can be manufactured.

[0041] In the manufacture approach of said semiconductor device, it is desirable to have further the process which carries a metal ball on said external electrode of said metal wiring layer.

[0042] By this approach, the semiconductor device which can perform mounting on a wiring substrate very quickly using a metal ball can be manufactured.

[0043] In the manufacture approach of said semiconductor device, after said 4th process, the inspection board which has a connectable terminal electrically in said external electrode may be arranged to said semiconductor device, and you may have further the process which inspects said semiconductor device. If an insulating layer is especially formed using a low elastic-modulus ingredient (an elastic modulus is two or less [2000kg //mm]), a semiconductor device can be inspected absorbing height dispersion of an external electrode and maintaining positive connection by this approach, since the stress which joins a metal wiring layer through an external electrode in the case of inspection is absorbable with an insulating layer.

[0044]

[Embodiment of the Invention] (1st operation gestalt) The 1st operation gestalt by this invention is explained, referring to drawing 3 from drawing 1. Drawing 1 (a) is the perspective view in which carrying out opening of some solder resist film, and showing the semiconductor device concerning this operation gestalt, and drawing 1 (b) is the sectional view of the semiconductor device concerning this operation gestalt.

[0045] The illustrated semiconductor device is having structure equipped with the semi-conductor substrate 10, the plate 60 joined to the rear face of a semi-conductor substrate, the insulating layer 20 formed on the principal plane of the semi-conductor substrate 10, and the metal circuit pattern 33 formed on the insulating layer 20. The metal circuit pattern 33 consists of the contact section 30, metal wiring 31, and a land 32, and these may be formed from the same metal layer. On the land 32, the metal ball 40 which functions as an external electrode terminal is laid. Moreover, on the insulating layer 20, the solder resist 50 is formed so that the metal circuit pattern 33 may be covered.

[0046] The semiconductor integrated circuit constituted by semiconductor devices, such as a transistor, is formed in the semi-conductor substrate 10. The component electrode 11 electrically connected with the semiconductor device is arranged by the principal plane of the semi-conductor substrate 10. As for fields other than component electrode 11, it is desirable among the principal planes of the semi-conductor substrate 10 to be covered with the passivation film (un-illustrating) for protecting a semiconductor device. Although this operation gestalt shows the semi-conductor substrate 10 of the chip condition started from the wafer, the semi-conductor substrate 10 may be in a chip condition, or may be in a wafer condition.

[0047] The contact section 30 is formed on the component electrode 11. Suppose that the field of a semi-conductor substrate principal plane in which the contact section 30 is formed in this specification is called the electrode disposition field 15. With this operation gestalt, the electrode disposition field 15 is established in the periphery section of a semi-conductor substrate principal plane. In addition, it is necessary to form the electrode disposition field 15 no sides of the

periphery section of a principal plane. Moreover, the electrode disposition field 15 may be established in the center section instead of the periphery section of the principal plane.

[0048] On the field except the contact section 30, an insulating layer 20 is formed among the principal planes of the semiconductor substrate 10. About 5-150 micrometers of thickness of the insulating layer 20 in this operation gestalt are about 10-70 micrometers preferably, for example. Moreover, the lower one of the elastic modulus of an insulating layer 20 is desirable, and it can prevent and control generating of the thermal stress which originates in the difference in a coefficient of thermal expansion between a semi-conductor substrate and the wiring substrate which mounted the semiconductor device by forming an insulating layer 20 using a low elastic-modulus ingredient. $100-700\text{kg (Young's modulus)}/\text{mm}$ of $10-1000\text{kg /of elastics modulus}$ of the insulating layer 20 in this operation gestalt is within the limits of 2 still more preferably within the limits of 2 mm preferably within the limits of $10-2000\text{kg}/\text{mm}^2$. The coefficient of linear expansion of an insulating layer 20 is within the limits of 100-60 ppm/degree C still more preferably within the limits of 10-100 ppm/degree C preferably within the limits of 5-200 ppm/degree C. Moreover, the product of the coefficient of linear expansion of an insulating layer 20 and an elastic modulus (Young's modulus) is within the limits of $1000 - 42000(\text{kg}/\text{mm}^2) - (\text{ppm}/\text{degree C})$ still more preferably preferably within the limits of $100 - 100000(\text{kg}/\text{mm}^2) - (\text{ppm}/\text{degree C})$ within the limits of $50 - 200000(\text{kg}/\text{mm}^2) - (\text{ppm}/\text{degree C})$. The range about these insulating layers 20 may be applied also in each below-mentioned operation gestalt.

[0049] The insulating layer 20 has the opening 25 to which the component electrode 11 is exposed, and the insulating layer 20 of the opening 25 neighborhood has the wedge-like ramp which results in the principal plane of the semi-conductor substrate 10. In other words, the include angle formed of the side face 22 in which the configuration of opening 25 is specified, and the top face 23 of an insulating layer 20 is an obtuse angle, and the include angle formed of a side face 22 and the principal plane of the semi-conductor substrate 10 is an acute angle.

[0050] The contact section 30 is formed in the pars basilaris ossis occipitalis of opening 25. The metal wiring 31 is connected to the contact section 30. The metal wiring 31 is continued and formed on a side face 22 and a top face 23, and is connected to the land 32. A land 32 functions as an external electrode for outputting and inputting the signal which flows between the semiconductor device in the semi-conductor substrate 10, and an external instrument.

[0051] On the field except the field in which it strikes insulating-layer 20 and a land 32 is located, the solder resist 50 is formed so that the metal circuit pattern 33 may be covered. The metal ball 40 which functions as an external electrode terminal is joined to the land 32 exposed from the solder resist 50.

[0052] The plate 60 is joined to the rear face of the semi-conductor substrate 10 through the adhesion sheet 61. The quality of the material of a plate 60 may be a metal, or may be an insulating material like a ceramic. As a metal, copper etc. can be used, for example. As an insulating material, an alumina etc. can be used, for example. Moreover, an parallel monotonous plate can be suitably used as a plate 60. By the ability using an parallel monotonous plate, when carried in a wiring substrate using a mounting machine, adsorbing becomes easy, and the effectiveness that the KOPURA nullity (surface smoothness) of the metal ball 40 is excellent can be acquired.

[0053] About 50-1000 micrometers of thickness of a plate 60 are about 150-500 micrometers preferably, for example. The thermal conductivity of a plate 60 is within the limits of $200 - 500 \text{ W}/\text{mK}$ preferably within the limits of $30 - 700 \text{ W}/\text{mK}$.

[0054] Moreover, the coefficient of linear expansion of a plate 60 is within the limits of 10-20 ppm/degree C preferably within the limits of 5-30 ppm/degree C. $5000-20000\text{kg (Young's modulus)}/\text{mm}$ of elastics modulus of a plate 60 is within the limits of 2 preferably within the limits of $1000-30000\text{kg}/\text{mm}^2$.

[0055] The metal wiring 31 is formed on the insulating layer 20 at the semiconductor device concerning this operation gestalt. For this reason, when a semiconductor device is mounted on wiring substrates, such as a printed circuit board, even if stress, such as thermal stress produced with heating and cooling of a semiconductor device, is impressed to the metal wiring 31, this stress can be eased by the insulating layer 20. Consequently, an open circuit of the metal wiring 31 can be prevented and the semiconductor device which was excellent in dependability can be realized.

[0056] Moreover, the land 32 used as an external electrode is arranged above the semi-conductor substrate principal plane two-dimensional. For this reason, it becomes possible to prepare many external electrodes in a narrow area. Furthermore, since between the contact section 30 and lands 32 is connected with the metal wiring 31 in which pattern formation is possible, it is small, and is a thin shape, and the semiconductor device which can respond to many pin-ization can be realized.

[0057] And the connection terminal (land 32) of the component electrode 11 and the exterior was not connected with the partial lead used with the conventional technique, but the component electrode 11 and the land 32 are connected by etching etc. the metal wiring 31 in which patterning is possible. Therefore, it is suitable for micro processing and the semiconductor device which can respond to many pin-ization can be realized.

[0058] Furthermore, since the metal ball 40 is formed on the land 32, the process which carries a semiconductor device in wiring substrates, such as a printed circuit board, can be performed very simply and quickly. Moreover, the thermal stress generated from the metal ball 40 is absorbable with an insulating layer 20.

[0059] Since the insulating layer 20 has the wedge-like ramp in the opening 25 neighborhood, it is avoidable that big stress is concentrated and impressed to some metal wiring 31 formed on an insulating layer 20. For this reason, it becomes possible to prevent an open circuit of the metal wiring 31. Moreover, since it becomes easy to perform exposure etc. to the side face 22 of opening 25, formation of the metal wiring 31 on a side face 22 becomes easy. Furthermore, since the plate 60 is joined to the rear face of the semi-conductor substrate 10, the semiconductor device excellent in heat dissipation nature is realizable.

[0060] Next, the manufacture approach of the semiconductor device concerning this operation gestalt is explained, referring to drawing 2 (a) - (e) and drawing 3 (a) - (d). Drawing 2 (a) - (e) and drawing 3 R> 3 (a) - (d) is a process sectional view for explaining the production process for realizing structure of the semiconductor device shown in drawing 1 (a) and (b).

[0061] First, the semi-conductor substrate 10 with which semiconductor devices (un-illustrating), such as a transistor, were formed is prepared. The component electrode 11 is arranged by the principal plane of the semi-conductor substrate

10, and, as for fields other than component electrode 11, being covered by the passivation film (un-illustrating) is desirable among the principal planes of the semi-conductor substrate 10.

[0062] Next, as shown in drawing 2 (a), a plate 60 is stuck and aligned with the rear face of the semi-conductor substrate 10 through the adhesion sheet 61. Even if the adhesion sheet 61 is thermosetting resin and it is thermoplastic resin, it is not cared about. Moreover, the adhesion sheet 61 does not need to be a sheet-like and may be liquefied resin.

[0063] Lamination of the semi-conductor substrate 10 and a plate 60 can be performed even if it does not use the high loading equipment of alignment precision. With this operation gestalt, in order to form the metal circuit pattern 33 on an insulating layer 20, it is not necessary to use loading equipment with a high alignment precision which was required of the Prior art.

[0064] Next, the insulating material (thickness about, for example, 20 micrometers) which has photosensitivity is applied on the principal plane of the semi-conductor substrate 10, and an insulating layer 20 is formed by drying. In addition, when a semiconductor device is mounted in a wiring substrate, in order to mitigate the thermal stress which joins a semiconductor device, the thicker one of the thickness of an insulating layer 20 is good in the range which does not have trouble in the process after a spreading process. For example, you may be 100 micrometers and may be about 1mm.

[0065] Next, exposure and development are performed one by one to an insulating layer 20, and as shown in drawing 2 (b), opening 25 is formed by removing the part located above the component electrode 11 among insulating layers 20. When forming opening 25, it is desirable to use not parallel light but the diffused light (for the scattered light to be included) in an exposure process. By using the diffused light, as the side face 22 of opening 25 is made to incline to the principal plane of the semi-conductor substrate 10, opening 25 can be formed.

[0066] Thus, the side face 22 of opening 25 and the top face 23 of an insulating layer 20 are making the obtuse angle, and, as for the cross-section configuration of the formed opening 25, the side face 22 and the principal plane of the semi-conductor substrate 10 are making the acute angle. Thus, it becomes easy to form the metal wiring 31 on a side face 22, and it is hard coming to disconnect the metal wiring 31 by connecting a side face 25 and a top face 23 smoothly rather than preparing a level difference.

[0067] As an insulating layer 20 which has photosensitivity, although polymers, such as ester bond mold polyimide and acrylate system epoxy, are mentioned, for example, a low elastic modulus is shown, and especially if it is the film which has insulation, it will not be limited.

[0068] In addition, the ingredient which dried the liquefied ingredient, and did not form an insulating layer 20, but was beforehand formed in the shape of a film can also be used as an insulating layer 20. In that case, after sticking and uniting the film-like insulating layer 20 with the principal plane of the semi-conductor substrate 10, the component electrode 11 can be exposed by performing an exposure process and a development process and forming opening 25 in the insulating ingredient film 21.

[0069] Moreover, the insulating material which does not have photosensitivity can also be used as an insulating material which constitutes an insulating layer 20. What is necessary is just to make it exposed [the component electrode 11] by mechanical processing by laser or the plasma, or chemical processing of etching etc., in using the insulating material which does not have photosensitivity.

[0070] Next, as shown in drawing 2 (c), the thin film metal layer 12 is formed on an insulating layer 20 and the component electrode 11. For example, after depositing Ti film (thickness about, for example, 0.2 micrometers) on an insulating layer 20 and the component electrode 11, the thin film metal layer 12 is formed by depositing Cu film (thickness: about 0.5 micrometers) on Ti film. As for the thickness of the thin film metal layer 12, it is desirable that it is within the limits of 0.5-1.0 micrometers from a viewpoint of covering nature (coverage). The thin film metal layer 12 is formed using a vacuum deposition method, the sputtering method, a CVD method, or a nonelectrolytic plating method.

[0071] Next, as shown in drawing 2 (d), the plating resist film 13 is formed on the thin film metal layer 12. After applying a positive type photosensitivity resist on the thin film metal layer 12, formation of the plating resist film 13 decomposes parts other than the pattern section of a request of a finishing product among this resist, and is performed by subsequently removing the desired pattern section. In addition, it cannot be overemphasized that it may replace with a positive type photosensitivity resist, and the plating resist film 13 may be formed using a negative-mold photosensitivity resist.

[0072] Then, as shown in drawing 2 (e), the thick-film metal layer 14 is alternatively formed on the part in which the plating resist film 13 is not formed among the thin film metal layers 12. The thick-film metal layer 14 consists for example, of Cu film (thickness about, for example, 20 micrometers), for example, is formed using the electrolysis galvanizing method. As for the thickness of the thick-film metal layer 14, it is desirable that it is within the limits of 10-40 micrometers from a viewpoint of wiring resistance.

[0073] Next, as shown in drawing 3 (a), the plating resist film 13 is disassembled and removed. Then, if overall etching is carried out using the etching reagent (EDTA solution [as opposed to / For example, / a cupric-chloride solution and Ti film] to Cu film) which can dissolve the thin film metal layer 12 and the thick-film metal layer 14 as shown in drawing 3 (b), the metal circuit pattern 33 which the thin film metal layer 12 with thickness thinner than the thick-film metal layer 14 precedes, and is removed, consequently consists of the contact section 30, metal wiring 31, and a land 32 will be formed.

[0074] In addition, after removing the plating resist film 13, the etching-resist film which uses a photolithography technique and has a desired pattern configuration may be formed, and the thick-film metal layer 14 may be protected with this etching-resist film.

[0075] Next, after applying a solder resist on an insulating layer 20 so that the metal circuit pattern 33 may be covered as shown in drawing 3 (c), the upper part of a part in which a land 32 is located among solder resists is removed using a photolithography technique, a land 32 is exposed, and the solder resist film 50 is formed by it. It is protected from the solder which the contact section 30 and the metal wiring 31 fused with the solder resist film 50.

[0076] Next, as shown in drawing 3 (d), the metal ball 40 which consists of solder, copper by which solder plating was carried out, nickel, etc. is laid on a land 32, and fused junction of the metal ball 40 and the land 32 is carried out. By performing such a process, the semiconductor device concerning this operation gestalt can be manufactured.

[0077] In addition, although Cu was used as an ingredient which constitutes the thin film metal layer 12 and the thick-film metal layer 14 from this operation gestalt, it may replace with this and Cr, W, Ti/Cu, nickel, etc. may be used. Moreover, a metallic material different, respectively constitutes the thin film metal layer 12 and the thick-film metal layer 14, and the etchant which etches only the thin film metal layer 12 alternatively may be used at a final etching process as shown in drawing 3 (b).

[0078] In addition, after separating the semi-conductor substrate of a wafer condition to the semi-conductor substrate 10 of a chip condition May make it form an insulating layer 20, the metal circuit pattern 33, the solder resist film 50, the metal ball 40, etc. on this semi-conductor substrate, and Moreover, after forming an insulating layer 20, the metal circuit pattern 33, the solder resist film 50, the metal ball 40, etc. on the semi-conductor substrate of a wafer condition, this semi-conductor substrate may be separated to the semi-conductor substrate of a chip condition. Or after performing even one in the middle of the process which forms an insulating layer 20, the metal circuit pattern 33, the solder resist film 50, the metal ball 40, etc. on the semi-conductor substrate of a wafer condition of processes, this semi-conductor substrate is separated to the semi-conductor substrate of a chip condition, and it may be made to give the remaining process after that to the semi-conductor substrate of this chip condition.

(2nd operation gestalt) The 2nd operation gestalt by this invention is explained, referring to drawing 4 (a) and (b). In order that drawing 4 (a) may explain the structure of the semiconductor device concerning this operation gestalt, it is the perspective view in which carrying out opening of the semiconductor device partially, and showing it, and drawing 4 (b) is the sectional view of the semiconductor device concerning this operation gestalt.

[0079] As for the difference between this operation gestalt and the 1st operation gestalt, a plate 60 has top-face 60a with a larger area than the rear face of the semi-conductor substrate 10, and the rear face of the semi-conductor substrate 10 is joined to top-face 60a, and an insulating layer 20 is in the point currently continued and formed in top-face 60a of a plate 60 from on principal plane 10a of the semi-conductor substrate 10. Since other configurations are the same as that of the 1st operation gestalt, explanation is omitted.

[0080] By continuing and forming the insulating layer 20 in top-face 60a of a plate 60 from on principal plane 10a of the semi-conductor substrate 10, the land 32 which is an external electrode widely can be formed to the upper part of field 60a of not only the principal plane 10a upper part of the semi-conductor substrate 10 but the plate 60. For this reason, spacing of each land 32 can be made larger than the semiconductor device concerning the 1st operation gestalt, and the number of a land 32 can also be made [many]. Therefore, also in these both case, when spacing of a component electrode is narrow, or when there is much number of an external electrode, the semiconductor device which can respond can be realized.

[0081] As for the land 32 which is an external electrode, it is desirable to form among insulating layers 20 on the field except the part on principal plane 10a of the semi-conductor substrate 10. Thus, when the semiconductor device concerning this operation gestalt in which the land 32 was formed is mounted in a wiring substrate, the thermal stress which joins a joint (land 32) originates in the difference of the coefficient of thermal expansion between [instead of / between a wiring substrate and the semi-conductor substrate 10] a wiring substrate and a plate 60 chiefly, and is generated. Therefore, the thermal stress which joins a joint can be prevented and controlled by choosing suitably the plate 60 which has a desired coefficient of thermal expansion. Furthermore, if an insulating layer is formed using a low elastic-modulus ingredient, it will also become possible to absorb the thermal stress which joins a joint with the elasticity of an insulating layer 20.

[0082] Because of the purpose of aiming at mitigation of thermal stress, as for the coefficient of linear expansion of a plate 60, it is desirable that it is within the limits of 5-30 ppm/degree C, and it is more desirable that it is in within the limits which is 10-20 ppm/degree C. Moreover, the thermal conductivity of a plate 60 is within the limits of 200 - 500 W/mK preferably within the limits of 30 - 700 W/mK for the purpose of raising heat dissipation nature. About 50-1000 micrometers of thickness of a plate 60 are about 150-500 micrometers preferably, for example. Moreover, 5000-20000kg (Young's modulus)/mm of elastics modulus of a plate 60 is within the limits of 2 preferably within the limits of 1000-30000kg/mm2.

(3rd operation gestalt) The 3rd operation gestalt by this invention is explained, referring to drawing 5 (a) and (b). In order that drawing 5 (a) may explain the structure of the semiconductor device concerning this operation gestalt, it is the perspective view in which carrying out opening of the semiconductor device partially, and showing it, and drawing 5 (b) is the sectional view of the semiconductor device concerning this operation gestalt.

[0083] The difference between this operation gestalt and the 2nd operation gestalt is in the point that the opening 28 to which some plates 60 are exposed is formed in an insulating layer 20, and cover an insulating layer 20 from the plate 60 exposed to opening 28, and the metal wiring 31 is formed. Since other configurations are the same as that of the 2nd operation gestalt, explanation is omitted.

[0084] Opening 28 is formed by removing partially the field located on a plate 60 among insulating layers 20 using a well-known photolithography technique and an etching technique, for example. For the simplification reason of a production process, in case opening 28 forms opening 25, being formed in coincidence is desirable. In addition, opening 28 can also be formed using laser.

[0085] Next, for example, using the same approach as the above-mentioned operation gestalt, an insulating layer 20 can be covered from the exposed plate 60, and the metal wiring 31 can be formed. As for the plate 60 of this operation gestalt, forming using a conductive ingredient is desirable, for example, copper etc. can be used suitably.

[0086] By connecting electrically a plate 60 and the metal wiring 31 (wiring for touch-down), the semiconductor device excellent in heat dissipation nature and electromagnetic shielding nature is realizable. A reason excellent in heat dissipation nature is that the heat dissipation from principal plane 10a of the semi-conductor substrate 10 also becomes possible through the metal wiring 31 in addition to the heat dissipation from the rear face of the semi-conductor substrate 10. A reason excellent in electromagnetic shielding nature is made to microstrip structure.

[0087] In addition, although the plate 60 which has top-face 60a with a larger area than the rear face of the semi-conductor substrate 10 was used with this operation gestalt, it is not limited to this but the plate 60 which has the same

or top-face 60a smaller than the area as the area of the rear face of the semi-conductor substrate 10 can also be used. In this case, what is necessary is just to form metal wiring in the side face of the semi-conductor substrate 10, in order to connect electrically a plate 60 and the metal wiring 31 (wiring for touch-down).

(Other operation gestalten) With the above-mentioned operation gestalt, although the metal ball 40 was formed as an external electrode terminal on the land 32, it may replace with this, and as shown in drawing 6 (a), the conductive projection 41 may be formed. The conductive projection 41 can be formed on a land 32 using a well-known technique. The solder bump formed as an ingredient which constitutes the conductive projection 41 by carrying out printing fusion of the solder cream on a land 32, for example, the solder bump formed by dipping in melting solder, nickel / golden bump formed on the land 32 of electroless deposition are mentioned. However, it is not limited to these ingredients.

[0088] By forming the conductive projection 41, the process which the time and effort which carries out sequential loading of the metal ball 40 requires on a land 32 becomes unnecessary, consequently the semiconductor device of low cost can be realized.

[0089] Moreover, as shown in drawing 6 (b), the configuration of the land grid array (LGA) mold as which a land 32 is operated as an external electrode terminal may be adopted. In case the semiconductor device which adopted the configuration of a LGA mold is mounted on a wiring substrate, after applying a solder cream on the connection terminal of a wiring substrate, electric connection between a land 32 and the connection terminal on a wiring substrate can be easily made by carrying out a reflow etc. Since the process which carries out sequential formation of the metal ball 40 by using a land 32 as an external electrode terminal, and the process which forms the conductive projection 41 become unnecessary, cost can realize a semiconductor device with low mounting height low extremely.

[0090] The above-mentioned operation gestalt showed the case where it had the shape of a wedge toward which the cross-section configuration of an edge 22 inclined to the principal plane of the semi-conductor substrate 10. As shown in drawing 7 (a), even if the boundary section 24 which constitutes the configuration of the shape of this wedge is a curve-like, as shown in drawing 7 (b), it may be a straight line-like. In addition, the boundary section 24 means the thing of the part which the metal wiring 31 formed on an edge 22 and an edge 22 touches.

[0091] Moreover, the cross-section configuration of an edge 22 may be a configuration (namely, configuration which has the sloping side face) which beveled the acute-angle part, as shown in drawing 7 (c) and (d). Drawing 7 (c) is beveling so that the corner section may turn into the keen level difference section. Drawing 7 (d) is beveling so that the corner section may turn into the roundish level difference section.

[0092] The configuration which is shown in drawing 7 (c) and which beveled is formed as follows, for example. First, after depositing 1st layer 20a of an insulating layer 20 on the component electrode 11 located on the principal plane of the semi-conductor substrate 10, and the passivation film 16, side-face 22a which makes the principal plane and acute angle of the semi-conductor substrate 10 so that the component electrode 11 may be exposed is formed using a FOTORISO process. Side-face 22 of this inclined 1st layer 20a can be formed by controlling exposure conditions (focal point).

[0093] Next, 2nd layer 20b which has side-face 22b which makes the principal plane and right angle of the semi-conductor substrate 10 is formed on 1st layer 20a. Then, 3rd layer 20c which has side-face 22c which makes the principal plane and acute angle of the semi-conductor substrate 10 is formed on 2nd layer 20b. Side-face 22 of 3rd layer 20c can also be formed by controlling exposure conditions (focal point). Thus, if the metal wiring 31 is formed so that the insulating layer 20 which consists of formed 1st layer 20a, 2nd layer 20b, and 3rd layer 20c may be covered, the configuration (namely, configuration which has the sloping side face) which is shown in drawing 7 R> 7 (c) and which beveled will be acquired. The configuration which is shown in drawing 7 (d) and which beveled can also be formed according to the same process.

[0094] By showing the cross-section configuration of an edge 23 in drawing 7 (a) - (d), it is avoided that big stress is concentrated and impressed to some metal wiring 31. For this reason, an open circuit of the metal wiring 31 etc. can be prevented and the dependability of a semiconductor device improves.

[0095] In order to prevent an open circuit of the metal wiring 31, as shown in drawing 8 (a) and (b), the metal wiring 31 may be formed so that some metal wiring [at least] 31 may move in a zigzag direction. That is, the metal wiring 31 can be formed so that it may have 1 time or the meandering section 27 which moved in a zigzag direction twice or more.

[0096] As shown in drawing 8 (a), two or more meandering sections 27 may be formed on an insulating layer 20, and as shown in drawing 8 (b), they may be formed only on a ramp 26 among insulating layers 20. What is necessary is just to form the meandering section 27 so that it may become 1 cycle (amplitude: 75 micrometers) to die length of 200 micrometers of the metal wiring 31 when width of face of the metal wiring 31 is set constant 50 micrometers. By forming the meandering section 27 in the metal wiring 31, stress, such as thermal stress added by heating, cooling, etc. of a semiconductor device, is absorbable in the meandering section 27. For this reason, an open circuit of metal wiring can be prevented and the semiconductor device whose dependability improved can be realized.

[0097] Next, the operation gestalt of further others by this invention is explained, referring to drawing 9. According to this operation gestalt, a semiconductor device can be inspected on wafer level. Drawing 9 R> 9 is the sectional view fracturing and showing some semiconductor devices of the wafer condition at the time of inspection of the semiconductor device concerning this operation gestalt.

[0098] As shown in drawing 9, the inspection board 71 electrically connected to test equipment 70 equipped with the power source and the signal generator, or the output-signal detector is arranged on the semiconductor device 80 of a wafer condition. The inspection board 71 is equipped with many contact terminals 72 for making electric connection on the metal ball 40 which is the external electrode terminal of a semiconductor device 80.

[0099] The contact terminal 72 is arranged in the condition of having turned caudad at the inspection board 71, alignment of the contact terminal 72 and the metal ball 40 is carried out so that phase opposite may be carried out, and both pressurize and it is in contact with them. In addition, in the inspection board 71, wiring (un-illustrating) for connecting test equipment 70 and the contact terminal 72 electrically is prepared.

[0100] the insulating layer 20 which functions as a buffer even if dispersion is in the height of the metal ball 40, and the height of the contact terminal 72 according to this operation gestalt — therefore, the dispersion is absorbable. Consequently, the metal ball 40 and the contact terminal 72 can be contacted certainly, and inspection of the

semiconductor device in wafer level can be ensured. Moreover, since spacing of each metal ball 40 is larger than spacing of each component electrode 11, it also has the advantage that it becomes easy to form wiring (un-illustrating) of the inspection board 71.

[0101] With this operation gestalt, the contact terminal 72 and the metal ball 40 are contacted using the contact terminal 72 of the shape of a land formed by plating or print processes on the inspection board 71. For the purpose of making more reliable contact for the metal ball 40 and the contact terminal 72, the conductive liner sheet and spring probe which have conductivity in a perpendicular chisel may be interposed between the contact terminal 72 and the metal ball 40.

[0102] Furthermore, it is also possible by heating a semiconductor device 80 to predetermined temperature to conduct burn-in inspection. However, when conducting inspection in elevated temperatures, such as burn-in inspection, it is desirable to use a semi-conductor substrate, and the near glass base material and ceramic base material of a coefficient of thermal expansion for the inspection board 71.

[0103] In addition, after separating the semi-conductor substrate of a wafer condition for each chip, a semiconductor device may be inspected where metal wiring and an external electrode terminal are prepared.

[0104]

[Effect of the Invention] The semiconductor device of this invention has the structure which can be formed also on the semi-conductor substrate of a wafer, and is a small thin semiconductor device. Moreover, it is not connection of the electrode by the partial lead used with the conventional technique, and connects with a component electrode and an external electrode by the metal wiring layer. For this reason, it is the semiconductor device which fits micro processing and can respond to many pins. Furthermore, by making an insulating layer into a substrate, since the metal wiring layer united with the external electrode is formed on it, an open circuit of metal wiring can be prevented. Moreover, by forming an insulating layer with a low elastic-modulus ingredient, the thermal stress of an external electrode can be buffered and the dependability of the junction at the time of substrate mounting can be improved. Furthermore, since the rear face of a semi-conductor substrate is joined to the plate, it is the semiconductor device excellent also in heat dissipation nature.

[0105] Moreover, since according to the manufacture approach of this invention the insulating layer is formed on a semi-conductor substrate and a wiring circuit sheet can be excluded, a manufacturing cost can be reduced and ** can also form detailed wiring. Moreover, since the heat stress which starts the soldered joint section after mounting in a wiring substrate by forming an insulating layer using a low elastic-modulus ingredient can be eased, the semiconductor device which was excellent in dependability can be manufactured with a low manufacturing cost.

[Translation done.]

*** NOTICES ***

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.*** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] (a) is the perspective view showing the semiconductor device concerning the 1st operation gestalt. (b) is the sectional view.

[Drawing 2] (a) - (e) is a process sectional view for explaining the manufacture approach of the semiconductor device concerning the 1st operation gestalt.

[Drawing 3] (a) - (d) is a process sectional view for explaining the manufacture approach of the semiconductor device concerning the 1st operation gestalt.

[Drawing 4] (a) is the perspective view showing the semiconductor device concerning the 2nd operation gestalt. (b) is the sectional view.

[Drawing 5] (a) is the perspective view showing the semiconductor device concerning the 3rd operation gestalt. (b) is the sectional view.

[Drawing 6] (a) is the perspective view showing the semiconductor device which formed the conductive projection 41 as an external electrode terminal. (b) is the perspective view showing the semiconductor device of the LGA mold as which a land 32 is operated as an external electrode terminal.

[Drawing 7] (a) And (b) is the sectional view of the semiconductor device equipped with the insulating layer 20 whose configuration of an edge 22 is a wedge-like, and (c) and (d) are the sectional views of the semiconductor device equipped with the insulating layer 20 by which the acute-angle part of an edge 22 is beveled.

[Drawing 8] (a) is the perspective view of the semiconductor device equipped with the metal wiring 31 which has the meandering section 27 on the insulating layer 20. (b) is the perspective view of the semiconductor device equipped with the metal wiring 31 which has the meandering section 27 on the ramp 26.

[Drawing 9] It is the sectional view of the semiconductor device for explaining the operation gestalt of further others of this invention.

[Drawing 10] It is the sectional view showing the conventional semiconductor device.

[Description of Notations]

- 10 Semi-conductor Substrate
- 11 Component Electrode
- 12 Thin Film Metal Layer
- 13 Plating Resist Film
- 14 Thick-Film Metal Layer
- 15 Electrode Disposition Field
- 16 Passivation Film
- 20 Insulating Layer
- 22 Side Face of Opening
- 23 Top Face of Insulating Layer
- 24 Boundary Section
- 25 Opening
- 26 Ramp
- 27 Meandering Section
- 28 Opening
- 30 Contact Section
- 31 Metal Wiring
- 32 Land (External Electrode)
- 33 Metal Circuit Pattern
- 40 Metal Ball
- 41 Conductive Projection
- 50 Solder Resist Film (Protective Coat)
- 60 Plate
- 61 Adhesion Sheet
- 70 Test Equipment
- 71 Inspection Board
- 72 Contact Terminal
- 80 Semiconductor Device
- 101 Semiconductor Chip
- 102 Wiring Circuit Sheet
- 103 Adhesion Sheet

104 Partial Lead
105 Component Electrode
106 Closure Resin
107 Metal Plate
108 Electrode
109 Solder Ball

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-7252

(P2001-7252A)

(43) 公開日 平成13年1月12日 (2001.1.12)

(51) Int.Cl. ⁷	識別記号	F I	テマコード* (参考)
H 0 1 L 23/12		H 0 1 L 23/12	L 4 M 1 0 9
21/60		23/28	Z
23/28		21/92	6 0 2 L

審査請求 未請求 請求項の数21 O L (全 14 頁)

(21) 出願番号 特願平11-180659

(22) 出願日 平成11年6月25日 (1999.6.25)

(71) 出願人 000005843

松下電子工業株式会社

大阪府高槻市幸町1番1号

(72) 発明者 佐原 隆一

大阪府高槻市幸町1番1号 松下電子工業株式会社内

(72) 発明者 戒能 憲幸

大阪府高槻市幸町1番1号 松下電子工業株式会社内

(74) 代理人 100077931

弁理士 前田 弘 (外1名)

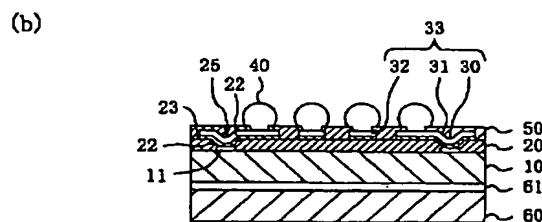
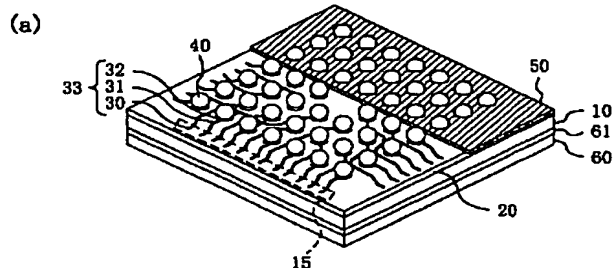
最終頁に続く

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 信頼性に優れ、高密度実装が可能で、放熱性に優れた半導体装置を低い製造コストで提供する。

【解決手段】 素子電極11を主面に有する半導体基板10と、半導体基板の裏面に接合されたプレート60と、半導体基板10の主面上に形成された絶縁層20と、絶縁層20の上に形成された金属配線層33とを備えた半導体装置である。金属配線層33は、絶縁層20に形成された開口部25に露出している素子電極11の上から絶縁層20の上に亘って形成されており、金属配線層33の一部は外部電極32として機能する。



【特許請求の範囲】

【請求項1】 半導体素子が配置されている半導体基板と、
前記半導体基板の裏面に接合されたプレートと、
前記半導体基板の主面上に配列され、前記半導体素子に電気的に接続されている素子電極と、
前記半導体基板の主面上に形成された絶縁層と、
少なくとも前記素子電極を露出させるように前記絶縁層に形成された開口部と、
前記開口部に露出している前記素子電極の上から前記絶縁層の上に亘って形成された金属配線層と、
前記金属配線層の一部として形成され、外部機器との電気的接続を行うための外部電極とを備えた半導体装置。

【請求項2】 請求項1記載の半導体装置において、
前記プレートは前記半導体基板の裏面よりも面積の大きな上面を有し、前記半導体基板の裏面は前記上面に接合されており、且つ、前記絶縁層は前記半導体基板の主面上から前記プレートの上面に亘って形成されていることを特徴とする半導体装置。

【請求項3】 請求項2記載の半導体装置において、
前記外部電極は、前記絶縁層のうち前記半導体基板の主面上の部分を除く領域上に形成されていることを特徴とする半導体装置。

【請求項4】 請求項1～3のうちいずれか1つに記載の半導体装置において、
前記プレートは導電性を有し、前記金属配線層の少なくとも一部は前記プレートと電気的に接続されていることを特徴とする半導体装置。

【請求項5】 請求項1～4のうちいずれか1つに記載の半導体装置において、
前記開口部の側面と前記絶縁層の上面とによって形成される角度が鈍角であることを特徴とする半導体装置。

【請求項6】 請求項1～4のうちいずれか1つに記載の半導体装置において、
前記開口部の断面形状は、鋭角部分が面取りされた形状であることを特徴とする半導体装置。

【請求項7】 請求項1～6のうちいずれか1つに半導体装置において、
前記金属配線層は、その一部が少なくとも1回蛇行していることを特徴とする半導体装置。

【請求項8】 請求項1～7のうちいずれか1つに記載の半導体装置において、
前記絶縁層は、前記金属配線層を覆うように前記絶縁層上に形成され、導電性材料をはじく特性を有する保護膜を備え、
前記保護膜は、前記外部電極の少なくとも一部を露出させる開口を備え、
前記開口内に露出している前記外部電極は、少なくとも一つの外部電極端子を備えていることを特徴とする半導体装置。

【請求項9】 請求項8記載の半導体装置において、
前記外部電極端子は、前記外部電極に接するように設けられた金属ボールによって構成されていることを特徴とする半導体装置。

【請求項10】 請求項8記載の半導体装置において、
前記外部電極端子は、前記外部電極に接するように設けられた導電性突起によって構成されていることを特徴とする半導体装置。

【請求項11】 請求項8記載の半導体装置において、
前記開口内に露出している前記外部電極の少なくとも一部が、前記外部電極端子として機能することを特徴とする半導体装置。

【請求項12】 請求項1～11のうちいずれか1つに記載の半導体装置において、
前記半導体基板は、その主面のうち前記素子電極の位置する領域を除く領域に半導体基板を保護するためのパッシベーション膜を備え、
前記絶縁層は、前記パッシベーション膜の上に形成されていることを特徴とする半導体装置。

【請求項13】 半導体素子と前記半導体素子に電気的に接続される素子電極とを有する半導体基板をプレート上に搭載する第1の工程と、
前記半導体基板を覆うように前記プレートの上に絶縁層を形成する第2の工程と、
前記絶縁層のうち前記素子電極の上に位置する部分を選択的に除去し、前記素子電極を露出させる開口部を形成する第3の工程と、
前記開口部に露出している前記素子電極の上から前記絶縁層の上に亘り、外部機器との電気的接続を行うための外部電極として機能する部分を持つ金属配線層を形成する第4の工程とを備えている半導体装置の製造方法。

【請求項14】 請求項13記載の半導体装置の製造方法において、
前記第1～4の工程は、ウエハ状態の半導体基板を用いて行われ、
前記第4の工程の後に、前記ウエハ状態の半導体基板から半導体チップ毎に切り離す工程をさらに備えていることを特徴とする半導体装置の製造方法。

【請求項15】 請求項13に記載の半導体装置の製造方法において、
前記第1の工程の前に、ウエハ状態の半導体基板から半導体チップ毎に切り離す工程が行われ、
前記第1～4の工程は、前記半導体チップを用いて行われることを特徴とする半導体装置の製造方法。

【請求項16】 請求項13～15のうちいずれか1つに記載の半導体装置の製造方法において、
前記第3の工程は、前記開口部の側面と前記絶縁層の上面とによって形成される角度が鈍角となるように、前記開口部を形成することを特徴とする半導体装置の製造方法。

【請求項17】 請求項13～16のうちいずれか1つに記載の半導体装置の製造方法において、

前記第4の工程は、前記金属配線層の一部を少なくとも1回蛇行させるように、前記金属配線層を形成することを特徴とする半導体装置の製造方法。

【請求項18】 請求項13～17に記載の半導体装置の製造方法において、

前記第3の工程は、前記絶縁層のうち前記プレート上に位置する領域を部分的に除去することによって、前記プレートの少なくとも一部を露出させる開口部を形成する工程をさらに含み、

前記第4の工程は、前記開口部に露出している前記プレートの上から前記絶縁層の上に亘って前記金属配線層を形成する工程をさらに含むことを特徴とする半導体装置の製造方法。

【請求項19】 請求項13～18のうちいずれか1つに記載の半導体装置の製造方法において、

前記第4の工程は、前記金属配線層を形成した後、前記金属配線層のうち前記外部電極の位置する領域を除く領域を覆うように絶縁層の上に、前記金属配線層を保護する保護膜を形成する工程をさらに含むことを特徴とする半導体装置の製造方法。

【請求項20】 請求項13～19のうちいずれか1つに記載の半導体装置の製造方法において、

前記第4の工程は、前記金属配線層を形成した後、前記外部電極の上に、外部電極端子として機能する金属ボールを搭載する工程をさらに備えていることを特徴とする半導体装置の製造方法。

【請求項21】 請求項13～20のうちいずれか1つに記載の半導体装置の製造方法において、

前記第4の工程の後に、前記外部電極に電気的に接続可能な端子を有する検査ボードを前記外部電極に配置して、前記半導体装置の検査を行う工程をさらに備えていることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置およびその製造方法に関する。特に、情報通信機器、事務用電子機器等に利用される半導体集積回路部を内蔵し、さらに外部端子との接続配線などを有し、高密度実装が可能な半導体装置およびその製造方法に関する。

【0002】

【従来の技術】近年、電子機器の小型化、高機能化に伴って、半導体集積回路部を内蔵した半導体装置に小型化、高密度化、高放熱化などの特性が要求されている。この要求に応えるべく、例えばTABテープを利用したT-BGA（テープ・ボール・グリッド・アレイ）といったパッケージを用いた半導体装置が開発されている。

【0003】以下、図10を参照しながら、T-BGAを用いた従来の半導体装置を説明する。この半導体装置

は、特開平9-302376号公報に開示されている。

【0004】図10は、T-BGAを用いた従来の半導体装置の断面を示している。この半導体装置は、半導体素子を内蔵する半導体チップ101、柔軟性シート状の配線回路シート102、および金属プレート107を備えた構造をしている。半導体チップ101および配線回路シート102は接着シート103を介して金属プレート107に貼り付けられている。

【0005】半導体チップ101の主面には、半導体素子と電気的に接続されている素子電極105が形成されている。配線回路シート102の内部には、配線パターンが形成されており、配線シート102の表面には、配線パターンに接続されている電極108が形成されている。電極108からは部分リード104がのびており、部分リード104は素子電極105と電気的に接続されている。

【0006】電極108には、はんだボール109が載置されている。はんだボール109を介して電極108は外部機器との電気的に接続可能となっている。半導体チップ101および部分リード101を保護するために、半導体チップ101の周囲は封止樹脂106で覆われている。

【0007】次に、従来の半導体装置の製造方法を説明する。まず、半導体チップ101の素子電極105に配線回路シート102の部分リード104を接続する。この接続は、「TAB」（テープ・オートメイトッド・ボンディング）作業で通常用いられる熱圧着、または超音波ボンディング技術によって行われる。

【0008】次に、半導体チップ101および部分リード104を覆うように封止樹脂106を塗布した後、封止樹脂106を硬化させる。次いで、半導体チップ101および配線回路シート102を金属プレート107に接着シート103を介して接合する。その後、電極108にはんだボール109を搭載した後、はんだボール109を溶融接合する。このような工程によって、従来の半導体装置が製造される。

【0009】上記従来の半導体装置では、配線回路シート102の上に二次元的に形成される多数の電極108を外部電極にはんだボール109を介して電気的に接続することができるので、情報通信機器、事務用電子機器等の小型化を図ることが可能となる。さらに、金属プレート107を備えていることによって、電極108の平坦性を維持し、かつ半導体チップ101の放熱性を高めることができる。

【0010】

【発明が解決しようとする課題】しかしながら、上記従来の半導体装置には、製造コストが高いという問題がある。その理由は、予め配線回路シート102を作製する必要があるため製造工数の増大を招くからである。また、配線回路シート102自体が高価であり、さらに、

配線回路シート102を金属プレート107上に接合するのに高性能なマウンタ（搭載設備）を配備する必要があるため設備コストが高くなるからである。

【0011】また、部分リード104と素子電極105とを接続することが困難であるという問題もある。これは、微細配線の接続を行うときには部分リード104の幅や厚みが小さくなるため、部分リード104の形状が安定しなくなるからである。接続の困難性に起因して製造コストが増加し、さらに接続後の半導体装置の信頼性が低下することになる。

【0012】本発明はかかる諸点に鑑みてなされたものであり、その主な目的は、信頼性に優れ、高密度実装が可能であり、製造コストの低い半導体装置およびその製造方法を提供することにある。

【0013】

【課題を解決するための手段】本発明の半導体装置は、半導体素子が配置されている半導体基板と、前記半導体基板の裏面に接合されたプレートと、前記半導体基板の主面上に配列され、前記半導体素子に電気的に接続される素子電極と、前記半導体基板の主面上に形成された絶縁層と、少なくとも前記素子電極を露出させるように前記絶縁層に形成された開口部と、前記素子電極の上から前記絶縁層の上に亘って形成された金属配線層と、前記金属配線層の一部として形成され、外部機器との電気的接続を行うための外部電極とを備えている。

【0014】本発明の半導体装置においては、素子電極につながる金属配線層が外部電極をも含めて一体的に設けられているので、絶縁層上に堆積した金属膜をパターニングすることにより形成可能な構造となる。したがって、上記従来の半導体装置にて用いられた配線回路シート、および配線回路シートと素子電極との接合作業を行うための設備は不要である。

【0015】また、本発明の半導体装置は、プレートに予め半導体基板を配設した後で、半導体基板上に金属配線層および外部電極を形成することが可能な構造を有しているので、配線回路シートをプレートに接合する工程は不要であり、高い位置合わせ精度を有する高性能の搭載設備を用いる必要がない。

【0016】製造に際しても、従来の半導体装置の製造工程における部分リードと素子電極とを熱圧着により接続する工程は不要となる。よって、製造設備や製造工数の削減と、接続の困難性を回避することが可能となり、製造コストの低減を図ることができる。

【0017】さらに、前記絶縁層を低弾性率材料（弾性率が例えば 2000 kg/mm^2 以下）を用いて形成すれば、絶縁層の上に金属配線層の外部電極が形成されているので、配線基板（マザー・ボード）への実装後に、配線基板と半導体装置との接続部に対して配線基板と半導体装置との熱膨張率差によって加わる応力が絶縁層の弾性によって吸収される。すなわち、応力の緩和機能の

高い半導体装置を実現することができる。

【0018】半導体基板がウエハ状態のままであっても金属配線層を形成できる構造となるため、製造工程を簡素化することができる。前記半導体装置における前記半導体基板は、ウエハ状態であってもよし、ウエハから切り出されたチップ状態であってもよい。

【0019】前記半導体装置において前記プレートは前記半導体基板の裏面よりも面積の大きな上面を有し、前記半導体基板の裏面は前記上面に接合されており、且つ、前記絶縁層は前記半導体基板の主面上から前記プレートの上面に亘って形成されていてもよい。

【0020】前記半導体装置において前記外部電極は前記絶縁層のうち前記半導体基板の主面上の部分を除く領域上に形成されていてもよい。また、前記プレートは導電性を有し、前記金属配線層の少なくとも一部は前記プレートと電気的に接続されていてもよい。

【0021】前記半導体装置において、前記開口部の側面と前記絶縁層の上面とによって形成される角度は鈍角であることが好ましい。あるいは、前記開口部の断面形状は鋭角部分が面取りされた形状であることが好ましい。また、金属配線の一部が少なくとも1回蛇行している形状であることが好ましい。

【0022】これらのいずれかにより、金属配線層の一部に大きな応力が集中して印加されることを回避できるので、金属配線層の断線等を防止することができ、半導体装置の信頼性が向上する。

【0023】前記半導体装置において、前記金属配線層を覆うように形成され、導電性材料をはじく特性を有する保護膜と、前記保護膜を貫通して前記金属配線層の前記外部電極の少なくとも一部を露出させる開口と、前記外部電極上に少なくとも一つの外部電極端子とをさらに備えていることが好ましい。

【0024】これにより、配線基板上の配線電極と金属配線層との間の電気的短絡などのない正常な接続関係を維持しながら、配線基板上への実装性のよい半導体装置を実現することができる。

【0025】前記半導体装置における前記外部電極端子は、前記外部電極に接するように設けられた金属ボールにより構成してもよいし、前記外部電極に接するように設けられた導電性突起により構成してもよい。また、露出している前記外部電極の少なくとも一部を前記外部電極端子として機能させることもできる。

【0026】前記半導体装置において、前記半導体基板の上に前記素子電極の上方を開口して形成され、半導体素子を保護するためのパッシベーション膜をさらに設けて、前記パッシベーション膜の上に前記絶縁層を形成しておくことができる。これにより、信頼性のより優れた半導体装置を実現することができる。

【0027】本発明による半導体装置の製造方法は、半導体素子と前記半導体素子に電気的に接続される素子電

極とを有する半導体基板をプレート上に搭載する第1の工程と、前記半導体基板を覆うように前記プレートの上に絶縁層を形成する第2の工程と、前記絶縁層のうち前記素子電極の上方に位置する領域を選択的に除去し、前記素子電極を露出させる開口部を形成する第3の工程と、前記開口部に露出している前記素子電極の上から前記絶縁層の上に亘り、外部機器との電気的接続を行うための外部電極として機能する部分を持つ金属配線層を形成する第4の工程とを備えている。

【0028】この方法により、素子電極につながる金属配線層を外部電極をも含めて一体的に形成することができるので、絶縁層上に堆積した金属膜をパターンニングすることによって金属配線層を形成することが可能となる。したがって、上記従来の半導体装置にて用いられた配線回路シート、および配線回路シートと素子電極との接合作業を行うための設備は不要である。

【0029】また、この製造方法によれば、プレートに予め半導体基板を配設した後で、半導体基板上に金属配線層および外部電極を形成することができるので、配線回路シートをプレートに接合する工程は不要であり、高い位置合わせ精度を有する高性能の搭載設備を用いる必要がない。

【0030】製造に際しても、従来の半導体装置の製造工程における部分リードと素子電極とを熱圧着等によって接続する工程が不要となる。よって、製造設備や製造工数の削減を図ることができる。

【0031】また、素子電極上に金属配線層を形成するだけで、素子電極と金属配線層とを電気的に接続できるので、従来の半導体装置のごとく、部分リードと素子電極とを接続する際の困難さは生じない。よって、半導体装置の製造工程を簡略化できるとともに、製造コストを低減できる。

【0032】前記半導体装置の製造方法において、前記第1～第4の工程を、ウエハのままの半導体基板を用いて行ない、前記第4の工程の後に、前記ウエハを半導体チップ毎に分離する工程をさらに加えることが好ましい。

【0033】この方法により、チップに分離される前のウエハのままで、多数のチップ領域における絶縁層や金属配線層などが形成されるので、製造コストを大幅に低減することができる。

【0034】前記半導体装置の製造方法において、前記第1の工程の前にウエハを半導体チップ毎に切り離す工程をさらに備え、前記第1～第4の工程をチップ状態の半導体基板を用いて行なってもよい。

【0035】前記半導体装置の製造方法において、前記第3の工程では、前記開口部の側面と前記絶縁層の上面とによって形成される角度が鈍角となるようにすることが好ましい。また、前記半導体装置の製造方法において、前記第4の工程では前記金属配線層の一部を少なく

とも1回蛇行するように形成させてもよい。

【0036】この方法により、断線等の少ない信頼性の優れた半導体装置を製造することができる。

【0037】前記半導体装置の製造方法において、前記第3の工程では、前記絶縁層のうち少なくとも前記プレートの一部を露出させるように前記弾性層を部分的に除去した開口部を形成し、前記開口部に露出している前記プレートから前記絶縁層に亘って前記金属配線層を形成することが好ましい。

【0038】この方法により、プレートが金属配線層を介して金属配線と電気的に接続されるので、放熱性がよく、電磁シールド性の優れた半導体装置を製造することができる。

【0039】前記半導体装置の製造方法において、前記第4の工程の後に、前記外部電極の少なくとも一部を除く前記金属配線層を覆う保護膜を形成する工程を備えることが好ましい。

【0040】この方法により、はんだ等の接続部材を用いて半導体装置の外部電極と配線基板の配線との接続を容易かつ迅速に行うことができる半導体装置を製造することができる。

【0041】前記半導体装置の製造方法において、前記金属配線層の前記外部電極の上に金属ボールを搭載する工程をさらに備えることが好ましい。

【0042】この方法により、金属ボールを利用して配線基板上の実装を極めて迅速に行うことができる半導体装置を製造することができる。

【0043】前記半導体装置の製造方法において、前記第4の工程の後に、前記外部電極に電気的に接続可能な端子を有する検査ボードを前記半導体装置に配置して、前記半導体装置の検査を行う工程をさらに備えてもよい。特に、低弾性率材料（弾性率が例えば2000kg/m²以下）を用いて絶縁層を形成すれば、この方法により、検査の際に外部電極を介して金属配線層に加わる応力を絶縁層によって吸収することができるので、外部電極の高さばらつきを吸収し、確実な接続を維持しながら半導体装置の検査を行うことができる。

【0044】

【発明の実施の形態】（第1の実施形態）図1から図3を参照しながら、本発明による第1の実施形態を説明する。図1(a)は、本実施形態にかかる半導体装置をソルダーレジスト膜の一部を開口して示す斜視図であり、図1(b)は、本実施形態にかかる半導体装置の断面図である。

【0045】図示された半導体装置は、半導体基板10と、半導体基板の裏面に接合されたプレート60と、半導体基板10の主面上に形成された絶縁層20と、絶縁層20の上に形成された金属配線パターン33とを備えた構造をしている。金属配線パターン33は、コンタクト部30、金属配線31およびランド32から構成され

ており、これらは同一の金属層から形成され得る。ランド32の上には、外部電極端子として機能する金属ボール40が載置されている。また、絶縁層20の上には金属配線パターン33を覆うようにソルダーレジスト50が形成されている。

【0046】半導体基板10には、トランジスタ等の半導体素子によって構成される半導体集積回路が形成されている。半導体基板10の主面には、半導体素子と電気的に接続されている素子電極11が配列されている。半導体基板10の主面のうち素子電極11以外の領域は、半導体素子を保護するためのパッシベーション膜（不図示）によって覆われていることが好ましい。本実施形態では、ウエハから切り出されたチップ状態の半導体基板10を示しているが、半導体基板10は、チップ状態であっても、ウエハ状態であってもよい。

【0047】素子電極11の上にはコンタクト部30が形成される。本明細書においてコンタクト部30が形成される半導体基板主面の領域を電極配置領域15と呼ぶこととする。本実施形態では、電極配置領域15を半導体基板主面の外周部に設ける。なお、電極配置領域15を主面の外周部の全ての辺に設ける必要はない。また、電極配置領域15を主面の外周部でなく中央部に設けてもよい。

【0048】半導体基板10の主面のうちコンタクト部30を除く領域の上には、絶縁層20が形成される。本実施形態における絶縁層20の厚みは、例えば5～150 μm 程度、好ましくは10～70 μm 程度である。また、絶縁層20の弾性率は低い方が好ましく、低弾性率材料を用いて絶縁層20を形成することによって、半導体基板と半導体装置を実装した配線基板との間に熱膨張係数の違いに起因する熱応力の発生を防止・抑制することができる。本実施形態における絶縁層20の弾性率（ヤング率）は、例えば10～2000 kg/mm^2 の範囲内、好ましくは10～1000 kg/mm^2 の範囲内、さらに好ましくは100～700 kg/mm^2 の範囲内にある。絶縁層20の線膨張率は、例えば5～20 $\text{ppm}/^\circ\text{C}$ の範囲内、好ましくは10～100 $\text{ppm}/^\circ\text{C}$ の範囲内、さらに好ましくは100～60 $\text{ppm}/^\circ\text{C}$ の範囲内にある。また、絶縁層20の線膨張率と弾性率（ヤング率）との積は、例えば50～200000（ kg/mm^2 ） \cdot （ $\text{ppm}/^\circ\text{C}$ ）の範囲内、好ましくは100～100000（ kg/mm^2 ） \cdot （ $\text{ppm}/^\circ\text{C}$ ）の範囲内、さらに好ましくは1000～42000（ kg/mm^2 ） \cdot （ $\text{ppm}/^\circ\text{C}$ ）の範囲内にある。これらの絶縁層20についての範囲は後述の各実施形態においても適用され得る。

【0049】絶縁層20は素子電極11を露出させる開口部25を有しており、開口部25付近の絶縁層20は、半導体基板10の主面に至るくさび状の傾斜部を有している。言い換えると、開口部25の形状を規定する

側面22と絶縁層20の上面23とによって形成される角度は鈍角であり、側面22と半導体基板10の主面とによって形成される角度は鋭角である。

【0050】開口部25の底部にはコンタクト部30が形成されている。コンタクト部30には金属配線31が接続されている。金属配線31は、側面22上および上面23上に亘って形成され、ランド32に接続されている。ランド32は、半導体基板10内の半導体素子と外部機器との間に流れる信号を入出力するための外部電極として機能する。

【0051】絶縁層20のうちランド32の位置する領域を除いた領域の上には、金属配線パターン33を覆うようにソルダーレジスト50が形成されている。ソルダーレジスト50から露出しているランド32には、外部電極端子として機能する金属ボール40が接合されている。

【0052】半導体基板10の裏面には、接着シート61を介してプレート60が接合されている。プレート60の材質は、金属であってもセラミックのような絶縁物であってもよい。金属としては、例えば銅などを用いることができる。絶縁物としては、例えばアルミナなどを用いることができる。また、プレート60として、平行平板のプレートを好適に使用できる。平行平板のプレートを使用することによって、実装機を用いて配線基板に搭載するときに吸着が容易となり、また金属ボール40のコブナリ（平坦性）が優れるという効果を得ることができる。

【0053】プレート60の厚さは、例えば50～1000 μm 程度、好ましくは150～500 μm 程度である。プレート60の熱伝導率は、例えば30～700 W/mK の範囲内、好ましくは200～500 W/mK の範囲内にある。

【0054】また、プレート60の線膨張係数は、例えば5～30 $\text{ppm}/^\circ\text{C}$ の範囲内、好ましくは10～20 $\text{ppm}/^\circ\text{C}$ の範囲内にある。プレート60の弾性率（ヤング率）は、例えば1000～30000 kg/mm^2 の範囲内、好ましくは5000～20000 kg/mm^2 の範囲内にある。

【0055】本実施形態にかかる半導体装置には、絶縁層20の上に金属配線31が形成されている。このため、プリント基板等の配線基板の上に半導体装置を実装した際に、半導体装置の加熱・冷却に伴って生じる熱応力などの応力が金属配線31に印加されても、この応力を絶縁層20によって緩和することができる。その結果、金属配線31の断線を防止することができ、信頼性の優れた半導体装置を実現することができる。

【0056】また、外部電極となるランド32が二次元的に半導体基板主面の上方に配置されている。このため、狭い面積に多数の外部電極を設けることが可能となる。さらに、コンタクト部30とランド32との間をバ

ターン形成可能な金属配線31によって接続している
ので、小型で薄型であり、かつ多ピン化に対応できる半導
体装置を実現することができる。

【0057】しかも、従来技術で使用された部分リード
によって素子電極11と外部との接続端子（ランド3
2）とを接続するのではなく、エッチング等によってパ
ターニングが可能な金属配線31によって素子電極11
とランド32とを接続している。従って、微細加工に適
し、多ピン化に対応できる半導体装置を実現することが
できる。

【0058】さらに、ランド32の上に金属ボール40
が設けられているので、プリント基板等の配線基板に半
導体装置を搭載する工程を極めて簡易かつ迅速に行な
うことができる。また、金属ボール40から発生する熱応
力を絶縁層20によって吸収することができる。

【0059】絶縁層20は開口部25付近にくさび状の
傾斜部を有しているため、絶縁層20の上に形成される
金属配線31の一部に大きな応力が集中して印加される
ことを回避できる。このため、金属配線31の断線を防
止することが可能となる。また、開口部25の側面22
に対して露光等を行いやすくなるため、側面22上での
金属配線31の形成が容易になる。さらには、半導体基
板10の裏面にプレート60が接合されているので、放
熱性に優れた半導体装置を実現することができる。

【0060】次に、図2（a）～（e）及び図3（a）
～（d）を参照しながら、本実施形態にかかる半導体装
置の製造方法を説明する。図2（a）～（e）および図
3（a）～（d）は、図1（a）および（b）に示す半
導体装置の構造を実現するための製造工程を説明するた
めの工程断面図である。

【0061】まず、トランジスタ等の半導体素子（不図
示）が形成された半導体基板10を用意する。半導体基
板10の主面には、素子電極11が配列されており、半
導体基板10の主面のうち素子電極11以外の領域は、
パッシベーション膜（不図示）で覆われていることが好
ましい。

【0062】次に、図2（a）に示すように、半導体基
板10の裏面にプレート60を接着シート61を介して
貼りあわせる。接着シート61は、熱硬化性樹脂であ
っても熱可塑樹脂であっても構わない。また、接着シート
61は、シート状である必要もなく、液状樹脂であ
ってもよい。

【0063】半導体基板10とプレート60との貼り合
わせは、アライメント精度の高い搭載装置を用いなく
ても行うことができる。本実施形態では絶縁層20の上
に金属配線パターン33を形成するため、従来の技術で
必要であった高い位置合わせ精度を持つ搭載装置を用
いなくともよい。

【0064】次に、半導体基板10の主面上に例えば感
光性を有する絶縁材料（厚さ：例えば20μm程度）を

塗布し、乾燥することによって絶縁層20を形成する。
なお、半導体装置を配線基板に実装したときに半導体装
置に加わる熱応力を軽減するために、絶縁層20の厚さ
は、塗布工程以降の工程に支障のない範囲で厚い方が
よい。例えば100μmであっても良いし1mm程度であ
ってもよい。

【0065】次に、絶縁層20に対して露光と現像とを
順次行って、図2（b）に示すように、絶縁層20のう
ち素子電極11の上方に位置する部分を除去すること
によって開口部25を形成する。開口部25を形成する場
合、露光工程において平行光ではなく例えば拡散光（散
乱光を含む）を使用することが好ましい。拡散光を使用
することによって、開口部25の側面22を半導体基板
10の主面に対して傾斜させるようにして開口部25を
形成することができる。

【0066】このようにして形成された開口部25の断
面形状は、開口部25の側面22と絶縁層20の上面2
3が鈍角をなしており、側面22と半導体基板10の主
面とが鋭角をなしている。このように、段差を設ける
のではなく側面25と上面23とをなめらかにつなげるよ
うにすることによって、側面22上に金属配線31を形
成することが容易になり、また金属配線31が断線しに
くくなる。

【0067】感光性を有する絶縁層20としては、例え
ばエステル結合型ポリイミドやアクリレート系エポキシ
等のポリマーが挙げられるが、低い弾性率を示し、絶縁
性を有する膜であれば特に限定されない。

【0068】なお、液状材料を乾燥して絶縁層20を形
成するのではなく、フィルム状に予め形成された材料を
絶縁層20として用いることもできる。その場合には、
フィルム状の絶縁層20を半導体基板10の主面に貼り
あわせた後、露光工程および現像工程を行って絶縁性材
料膜21に開口部25を形成することによって、素子電
極11を露出させることができる。

【0069】また、絶縁層20を構成する絶縁材料とし
て、感光性を有しない絶縁材料を用いることもできる。
感光性を有しない絶縁材料を用いる場合には、レーザー
やプラズマによる機械的な加工によって、またはエッチ
ングなどの化学的な加工によって素子電極11が露出
するようにすればよい。

【0070】次に、図2（c）に示すように、絶縁層2
0および素子電極11の上に薄膜金属層12を形成す
る。例えば、絶縁層20および素子電極11の上にTi
膜（厚さ：例えば0.2μm程度）を堆積した後、Ti
膜の上にCu膜（厚さ：0.5μm程度）を堆積するこ
とによって薄膜金属層12が形成される。薄膜金属層1
2の厚さは、被覆性（カバレッジ）の観点から0.5～
1.0μmの範囲内にあることが好ましい。薄膜金属層
12は、例えば、真空蒸着法、スパッタリング法、CV
D法または無電解めっき法を用いて形成される。

【0071】次に、図2(d)に示すように、薄膜金属層12の上にメッキレジスト膜13を形成する。メッキレジスト膜13の形成は、薄膜金属層12上にポジ型感光性レジストを塗布した後、このレジストのうち仕上げ製品の所望のパターン部以外の部分を分解し、次いで所望のパターン部を除去することによって行われる。なお、ポジ型感光性レジストに代えて、ネガ型感光性レジストを用いてメッキレジスト膜13を形成してもよいこととは言うまでもない。

【0072】その後、図2(e)に示すように、薄膜金属層12のうちメッキレジスト膜13の形成されていない部分の上に厚膜金属層14を選択的に形成する。厚膜金属層14は、例えばCu膜(厚さ:例えば20μm程度)からなり、例えば電解めっき法を用いて形成される。厚膜金属層14の厚さは、配線抵抗の観点から10〜40μmの範囲内にあることが好ましい。

【0073】次に、図3(a)に示すように、メッキレジスト膜13を分解し除去する。その後、図3(b)に示すように、薄膜金属層12と厚膜金属層14とを溶解できるエッチング液(例えば、Cu膜に対して塩化第二銅溶液、Ti膜に対してEDTA溶液)を用いて全面エッチングをすると、厚膜金属層14よりも厚さの薄い薄膜金属層12が先行して除去され、その結果、コンタクト部30と金属配線31とランド32とからなる金属配線パターン33が形成される。

【0074】なお、メッキレジスト膜13を除去した後、フォトリソグラフィ技術を用いて所望のパターン形状を有するエッチングレジスト膜を形成し、このエッチングレジスト膜によって厚膜金属層14を保護してもよい。

【0075】次に、図3(c)に示すように、金属配線パターン33を覆うように絶縁層20の上にソルダーレジストを塗布した後、ソルダーレジストのうちランド32の位置する部分の上部をフォトリソグラフィ技術を用いて除去しランド32を露出させ、それによってソルダーレジスト膜50を形成する。ソルダーレジスト膜50によってコンタクト部30と金属配線31とが溶融したはんだから保護される。

【0076】次に、図3(d)に示すように、はんだ、はんだめっきされた銅、ニッケル等からなる金属ボール40をランド32の上に載置して、金属ボール40とランド32とを溶融接合する。このような工程を行うことによって、本実施形態にかかる半導体装置を製造することができる。

【0077】なお、本実施形態では薄膜金属層12および厚膜金属層14を構成する材料としてCuを使用した、これに代えてCr、W、Ti/Cu、Ni等を使用してもよい。また、薄膜金属層12と厚膜金属層14とをそれぞれ異なる金属材料により構成しておき、図3

(b)に示すような最終的なエッチング工程では薄膜金

属層12のみを選択的にエッチングするエッチャントを用いてもよい。

【0078】なお、ウエハ状態の半導体基板をチップ状態の半導体基板10に切り離した後に、この半導体基板の上に絶縁層20、金属配線パターン33、ソルダーレジスト膜50、金属ボール40などを形成するにしてもよいし、また、ウエハ状態の半導体基板の上に絶縁層20、金属配線パターン33、ソルダーレジスト膜50、金属ボール40などを形成した後に、この半導体基板をチップ状態の半導体基板に切り離してもよい。あるいは、ウエハ状態の半導体基板の上に絶縁層20、金属配線パターン33、ソルダーレジスト膜50、金属ボール40などを形成する工程の途中のいずれかの工程までを行ってから、この半導体基板をチップ状態の半導体基板に切り離し、その後、このチップ状態の半導体基板に対して残りの工程を施すようにしてもよい。

(第2の実施形態)図4(a)および(b)を参照しながら、本発明による第2の実施形態を説明する。図4(a)は、本実施形態にかかる半導体装置の構造を説明するために半導体装置を部分的に開口して示す斜視図であり、図4(b)は、本実施形態にかかる半導体装置の断面図である。

【0079】本実施形態と第1の実施形態との差異は、プレート60が半導体基板10の裏面よりも面積の大きい上面60aを有し、半導体基板10の裏面が上面60aに接合されており、かつ、絶縁層20は半導体基板10の主面10a上からプレート60の上面60aに亘って形成されている点にある。他の構成は、第1の実施形態と同様であるため説明を省略する。

【0080】絶縁層20が半導体基板10の主面10a上からプレート60の上面60aに亘って形成されていることによって、半導体基板10の主面10a上方だけではなく、プレート60の面60aの上方まで広く外部電極であるランド32を形成することができる。このため、第1の実施形態にかかる半導体装置よりも各ランド32の間隔を広くすることができ、また、ランド32の個数も多くすることができる。従って、素子電極の間隔が狭い場合や外部電極の個数の多い場合、またはこれら両者の場合でも、対応可能な半導体装置を実現できる。

【0081】外部電極であるランド32は、絶縁層20のうち半導体基板10の主面10a上の部分を除く領域上に形成することが好ましい。このようにランド32を形成した本実施形態にかかる半導体装置を配線基板に実装した場合、接合部(ランド32)に加わる熱応力は、配線基板と半導体基板10との間ではなく、配線基板とプレート60との間の熱膨張係数の差に専ら起因して発生するものとなる。従って、所望の熱膨張係数を有するプレート60を適宜選択することによって、接合部に加わる熱応力を防止・抑制することができる。さらに、絶縁層を低弾性率材料を用いて形成すれば、接合部に加わ

る熱応力を絶縁層20の弾性によって吸収することも可能となる。

【0082】熱応力の軽減を図るという目的のためにプレート60の線膨張係数は、 $5 \sim 30 \text{ ppm}/^\circ\text{C}$ の範囲内にあることが好ましく、 $10 \sim 20 \text{ ppm}/^\circ\text{C}$ の範囲内にあることがより好ましい。また、放熱性を向上させるという目的のために、プレート60の熱伝導率は、例えば $30 \sim 700 \text{ W/mK}$ の範囲内、好ましくは $200 \sim 500 \text{ W/mK}$ の範囲内にある。プレート60の厚さは、例えば $50 \sim 1000 \mu\text{m}$ 程度、好ましくは $150 \sim 500 \mu\text{m}$ 程度である。また、プレート60の弾性率（ヤング率）は、例えば $1000 \sim 30000 \text{ kg/mm}^2$ の範囲内、好ましくは $5000 \sim 20000 \text{ kg/mm}^2$ の範囲内にある。

（第3の実施形態）図5（a）および（b）を参照しながら、本発明による第3の実施形態を説明する。図5

（a）は、本実施形態にかかる半導体装置の構造を説明するために半導体装置を部分的に開口して示す斜視図であり、図5（b）は、本実施形態にかかる半導体装置の断面図である。

【0083】本実施形態と第2の実施形態との差異は、プレート60の一部を露出させる開口部28が絶縁層20に形成され、開口部28に露出しているプレート60から絶縁層20に亘って金属配線31が形成されている点にある。他の構成は、第2の実施形態と同様であるため説明を省略する。

【0084】開口部28は、例えば、公知のフォトリソグラフィ技術およびエッチング技術を用いて絶縁層20のうちプレート60上に位置する領域を部分的に除去することによって形成される。開口部28は、製造工程の簡略化ため、開口部25を形成する際に同時に形成されることが好ましい。なお、開口部28は、例えばレーザーを用いて形成することもできる。

【0085】次に、例えば、上記実施形態と同様の方法を用いて、露出しているプレート60から絶縁層20に亘って金属配線31を形成することができる。本実施形態のプレート60は導電性材料を用いて形成することが好ましく、例えば銅などを好適に用いることができる。

【0086】プレート60と金属配線31（接地のための配線）とを電気的に接続することによって、放熱性および電磁シールド性に優れた半導体装置を実現することができる。放熱性に優れている理由は、半導体基板10の裏面からの放熱に加えて、金属配線31を介して半導体基板10の主面10aからの放熱も可能となるからである。電磁シールド性に優れている理由は、マイクロストリップ構造にできるからである。

【0087】なお、本実施形態では半導体基板10の裏面よりも面積の大きい上面60aを有するプレート60を用いたが、これに限定されず、半導体基板10の裏面の面積と同じまたはその面積よりも小さい上面60aを

有するプレート60を用いることもできる。この場合には、プレート60と金属配線31（接地のための配線）とを電気的に接続するために、例えば半導体基板10の側面に金属配線を形成すればよい。

（他の実施形態）上記の実施形態では、ランド32の上に外部電極端子として金属ボール40を設けたが、これに代えて、図6（a）に示すように導電性突起41を設けてもよい。導電性突起41は、公知の技術を用いてランド32の上に形成することができる。導電性突起41を構成する材料としては、例えば、はんだクリームをランド32上に印刷溶融することによって形成されたはんだバンプ、溶融はんだ内にディップすることによって形成されたはんだバンプ、無電解メッキによってランド32上に形成されたニッケル/金バンプなどが挙げられる。ただし、これらの材料に限定されない。

【0088】導電性突起41を設けることによって、ランド32の上に金属ボール40を順次搭載する手間の掛かる工程とが不要となり、その結果、低コストの半導体装置を実現することができる。

【0089】また、図6（b）に示すように、ランド32を外部電極端子として機能させるランド・グリッド・アレイ（LGA）型の構成を採用してもよい。LGA型の構成を採用した半導体装置を配線基板上に実装する際には、配線基板の接続端子の上にはんだクリームを塗布した後リフローさせるなどの方法によって、ランド32と配線基板上の接続端子との電気的な接続を容易に行なうことができる。ランド32を外部電極端子として用いることによって、金属ボール40を順次形成する工程や、導電性突起41を形成する工程が不要となるため、極めてコストが低く、かつ実装高さの低い半導体装置を実現することができる。

【0090】上記実施形態では、端部22の断面形状が半導体基板10の主面に対して傾斜したくさび状である場合を示した。このくさび状の形状を構成する境界部24は、図7（a）に示すように曲線状であっても、図7（b）に示すように直線状であってもよい。なお、境界部24は、端部22と端部22上に形成される金属配線31とが接している部分のことを意味する。

【0091】また、端部22の断面形状は、図7（c）および（d）に示すように、鋭角部分を面取りした形状（すなわち、傾斜した側面を有する形状）であってもよい。図7（c）は、コーナー部が鋭角的な段差部となるように面取りをしている。図7（d）は、コーナー部が丸みのある段差部となるように面取りをしている。

【0092】図7（c）に示す面取りした形状は、例えば次のようにして形成される。まず、半導体基板10の主面上に位置する素子電極11およびパッシベーション膜16の上に絶縁層20の第1層20aを堆積した後、素子電極11を露出するように半導体基板10の主面と鋭角をなす側面22aをフォトリソ工程を用いて形成す

10

20

30

40

50

る。この傾斜した第1層20aの側面22aは、露光条件（フォーカスポイント）をコントロールすることによって形成することができる。

【0093】次に、第1層20a上に、半導体基板10の主面と直角をなす側面22bを有する第2層20bを形成する。その後、第2層20bの上に、半導体基板10の主面と鋭角をなす側面22cを有する第3層20cを形成する。第3層20cの側面22cも、露光条件（フォーカスポイント）をコントロールすることによって形成することができる。このようにして形成された第1層20a、第2層20bおよび第3層20cからなる絶縁層20を覆うように金属配線31を形成すると、図7(c)に示す面取りした形状（すなわち、傾斜した側面を有する形状）が得られる。図7(d)に示す面取りした形状も、同様の工程によって形成することが可能である。

【0094】端部23の断面形状を図7(a)～(d)に示すようにすることによって、金属配線31の一部に大きな応力が集中して印加されることが回避される。このため、金属配線31の断線等を防止することができ、半導体装置の信頼性が向上する。

【0095】金属配線31の断線を防止するため、図8(a)および(b)に示すように、金属配線31の少なくとも一部が蛇行するように金属配線31を形成してもよい。すなわち、1回または2回以上蛇行した蛇行部27を有するように金属配線31を形成することができる。

【0096】蛇行部27は、図8(a)に示すように、絶縁層20の上に複数形成してもよいし、図8(b)に示すように、絶縁層20のうち傾斜部26上のみ形成してもよい。蛇行部27は、例えば、金属配線31の幅を50μm一定としたときに、金属配線31の長さ200μmに対し1サイクル（振幅：75μm）となるように形成すればよい。金属配線31に蛇行部27を設けることによって、半導体装置の加熱・冷却などによって加わる熱応力等の応力を蛇行部27で吸収できる。このため、金属配線の断線を防止することができ、信頼性の向上した半導体装置を実現することができる。

【0097】次に、図9を参照しながら、本発明による更に他の実施形態を説明する。本実施形態によれば、ウエハレベルで半導体装置の検査を行うことができる。図9は、本実施形態にかかる半導体装置の検査時におけるウエハ状態の半導体装置の一部を破断して示す断面図である。

【0098】図9に示すように、電源・信号発生器や出力信号検出器を備えた検査装置70に電気的に接続されている検査ボード71がウエハ状態の半導体装置80の上に配置されている。検査ボード71は、半導体装置80の外部電極端子である金属ボール40と電気的な接続をするためのコンタクト端子72を多数備えている。

【0099】コンタクト端子72は下方に向けた状態で検査ボード71に配置されており、コンタクト端子72と金属ボール40とは相対向させるように位置合わせされ、両者は加圧して接触されている。なお、検査ボード71内には、検査装置70とコンタクト端子72とを電気的に接続するための配線（不図示）が設けられている。

【0100】本実施形態によれば、金属ボール40の高さおよびコンタクト端子72の高さにばらつきがあっても、緩衝剤としての機能する絶縁層20によってそのばらつきを吸収することができる。その結果、金属ボール40とコンタクト端子72とを確実に接触させることができ、ウエハレベルでの半導体装置の検査を確実にこなうことができる。また、各金属ボール40の間隔は各素子電極11の間隔よりも広いので、検査ボード71の配線（不図示）を形成することが容易になるという利点もある。

【0101】本実施形態では、検査ボード71上にメッキ法や印刷法によって形成したランド状のコンタクト端子72を用いて、コンタクト端子72と金属ボール40とを接触させている。金属ボール40とコンタクト端子72との接触をより確実にするという目的のために、コンタクト端子72と金属ボール40との間に垂直方向のみに導電性を有する導電性シートやスプリングブローブを介設してもよい。

【0102】さらに、半導体装置80を所定の温度に加熱することによって、バーニン検査を行うことも可能である。ただし、バーニン検査などの高温での検査を行なう場合、検査ボード71には、半導体基板と熱膨張係数の近いガラス基材やセラミック基材を用いることが好ましい。

【0103】なお、ウエハ状態の半導体基板を個々のチップに切り離した後に金属配線や外部電極端子を設けた状態で半導体装置の検査を行なってもよい。

【0104】

【発明の効果】本発明の半導体装置は、ウエハの半導体基板上にも形成可能な構造を有し、小型で薄型の半導体装置である。また、従来技術で用いられた部分リードによる電極の接続ではなく、金属配線層によって素子電極と外部電極と接続するものである。このため、微細加工に適し、多ピンに対応できる半導体装置である。さらに絶縁層を下地として、その上に外部電極と一体化された金属配線層が形成されているため、金属配線の断線を防止することができる。また、絶縁層を低弾性率材料で形成することによって、外部電極の熱応力を緩衝でき、基板実装時の接合の信頼性を向上することができる。さらに、半導体基板の裏面がプレートと接合されているため放熱性にも優れた半導体装置である。

【0105】また、本発明の製造方法によれば、半導体基板上に絶縁層を形成しているため配線回路シートを省

くことができるため、製造コストを低減させるとともに、微細な配線も形成可能である。また、絶縁層を低弾性率材料を用いて形成することによって、配線基板に実装後のはんだ接合部にかかる熱ストレスを緩和することができるため、信頼性の優れた半導体装置を低い製造コストで製造することができる。

【図面の簡単な説明】

【図１】（a）は、第１の実施形態にかかる半導体装置を示す斜視図である。（b）は、その断面図である。

【図２】（a）～（e）は、第１の実施形態にかかる半 10
導体装置の製造方法を説明するための工程断面図であ
る。

【図３】（a）～（d）は、第１の実施形態にかかる半導体装置の製造方法を説明するための工程断面図である。

【図4】(a)は、第2の実施形態にかかる半導体装置を示す斜視図である。(b)は、その断面図である。

【図5】(a)は、第3の実施形態にかかる半導体装置を示す斜視図である。(b)は、その断面図である。

【図 6】(a)は、外部電極端子として導電性突起 41 を設けた半導体装置を示す斜視図である。(b)は、ランド 32 を外部電極端子として機能させる LGA 型の半導体装置を示す斜視図である。

【図 7】（a）および（b）は、端部 22 の形状がくさび状である絶縁層 20 を備えた半導体装置の断面図であり、（c）および（d）は、端部 22 の鋭角部分が面取りされている絶縁層 20 を備えた半導体装置の断面図である。

【図 8】(a)は、絶縁層 20 上に蛇行部 27 を有する金属配線 31 を備えた半導体装置の斜視図である。

(b)は、傾斜部26上に蛇行部27を有する金属配線31を備えた半導体装置の斜視図である。

【図 9】本発明の更に他の実施形態を説明するための半導体装置の断面図である。

【図10】従来の半導体装置を示す断面図である。

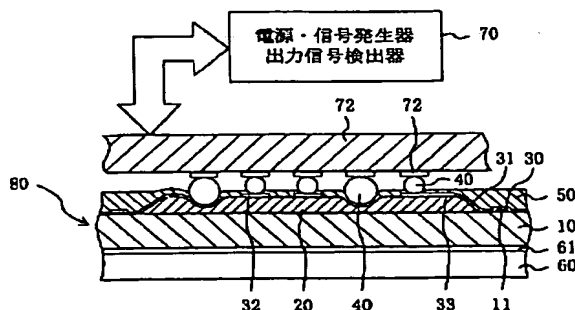
【符号の説明】

10 半導體基板

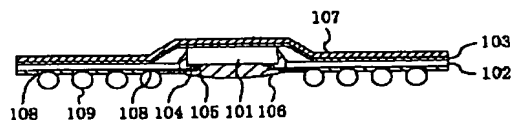
*

- | | |
|----------|----------------|
| * 1 1 | 素子電極 |
| 1 2 | 薄膜金属層 |
| 1 3 | メッキレジスト膜 |
| 1 4 | 厚膜金属層 |
| 1 5 | 電極配置領域 |
| 1 6 | バッシベーション膜 |
| 2 0 | 絶縁層 |
| 2 2 | 開口部の側面 |
| 2 3 | 絶縁層の上面 |
| 0 2 4 | 境界部 |
| 2 5 | 開口部 |
| 2 6 | 傾斜部 |
| 2 7 | 蛇行部 |
| 2 8 | 開口部 |
| 3 0 | コンタクト部 |
| 3 1 | 金属配線 |
| 3 2 | ランド（外部電極） |
| 3 3 | 金属配線パターン |
| 4 0 | 金属ボール |
| 20 4 1 | 導電性突起 |
| 5 0 | ソルダーレジスト膜（保護膜） |
| 6 0 | プレート |
| 6 1 | 接着シート |
| 7 0 | 検査装置 |
| 7 1 | 検査ボード |
| 7 2 | コンタクト端子 |
| 8 0 | 半導体装置 |
| 1 0 1 | 半導体チップ |
| 1 0 2 | 配線回路シート |
| 30 1 0 3 | 接着シート |
| 1 0 4 | 部分リード |
| 1 0 5 | 素子電極 |
| 1 0 6 | 封止樹脂 |
| 1 0 7 | 金属プレート |
| 1 0 8 | 電極 |
| 1 0 9 | はんだボール |

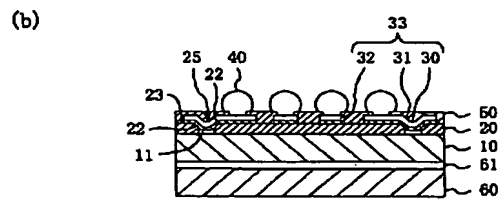
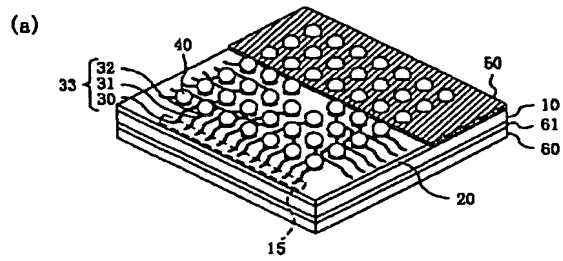
【图9】



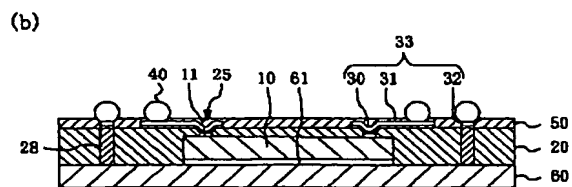
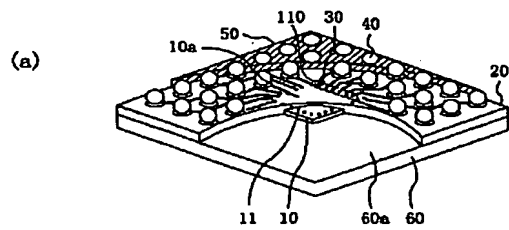
【圖 10】



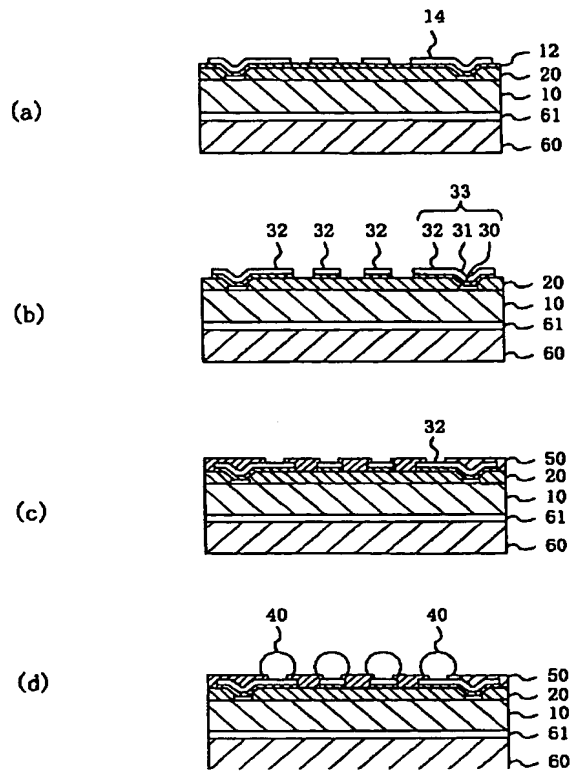
【圖 1】



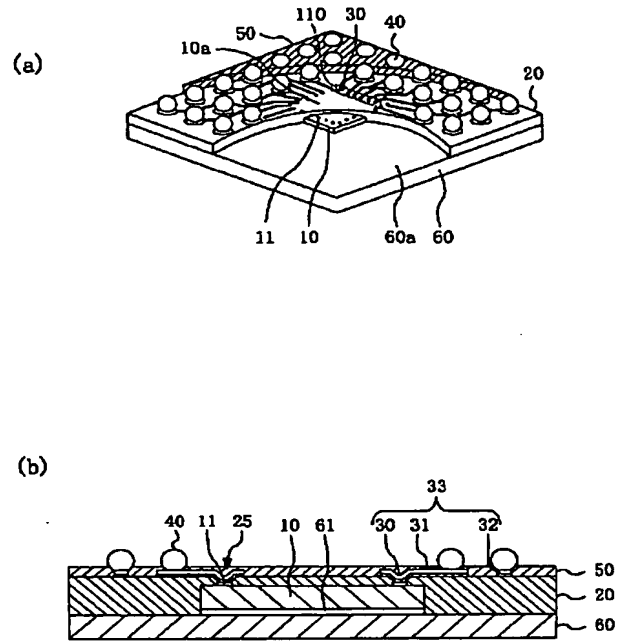
【図5】



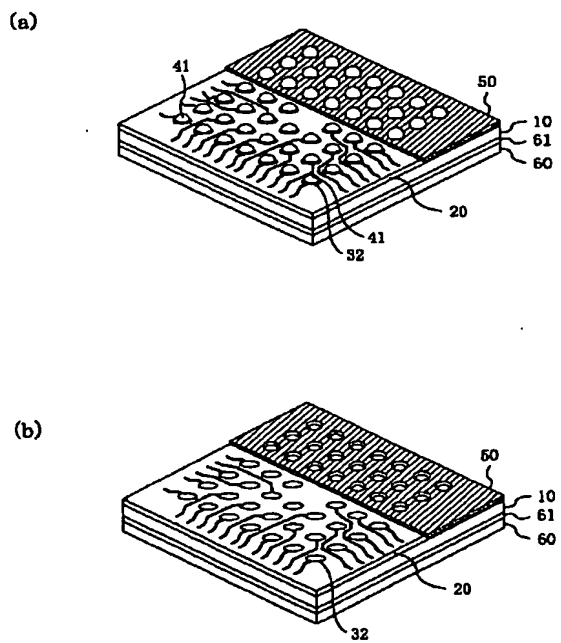
【図3】



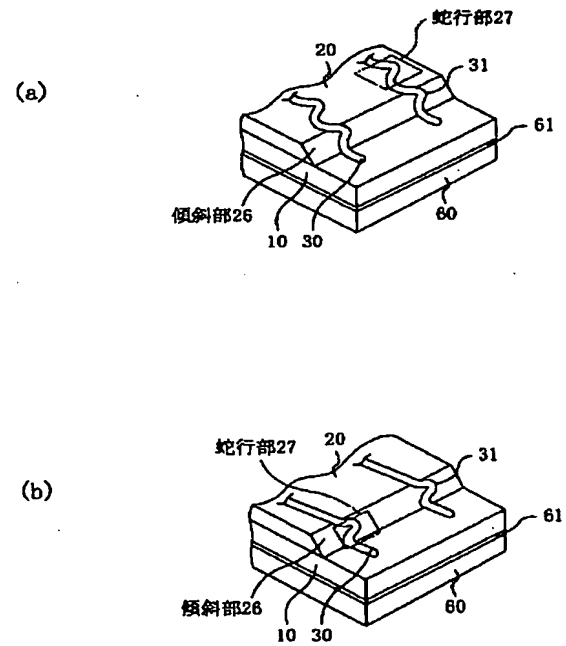
【図4】



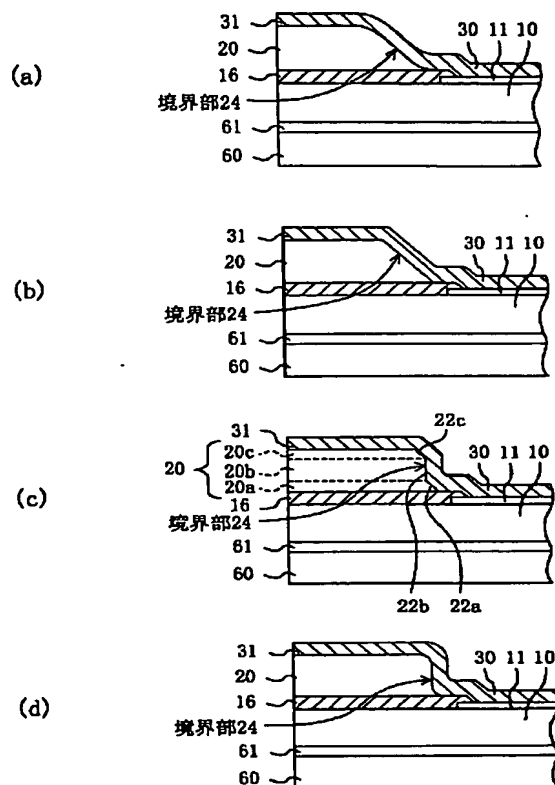
【図6】



【図8】



【図7】



フロントページの続き

(72)発明者 下石坂 望
大阪府高槻市幸町1番1号 松下電子工業
株式会社内
(72)発明者 中村 嘉文
大阪府高槻市幸町1番1号 松下電子工業
株式会社内
(72)発明者 隈川 隆博
大阪府高槻市幸町1番1号 松下電子工業
株式会社内

(72)発明者 山岸 勝
大阪府高槻市幸町1番1号 松下電子工業
株式会社内
(72)発明者 渡瀬 和美
大阪府高槻市幸町1番1号 松下電子工業
株式会社内
Fターム(参考) 4M109 AA02 BA03 CA05 CA22 DB02
DB14 DB16 DB17 ED02 ED03
EE02 GA05